

論文 デジタル処理による高精度化と複数パルス測定を可能とした時間 A-D 変換 LSI*

A Time-A-D Converter LSI for Measuring Multi-time-Interval Accurately by Digital Processing

渡辺 高元 我妻 秀治 磯村 博文
 Takamoto WATANABE Syuuji AGATSUMA Hirofumi ISOMURA
 大塚 義則 秋田 成行 服部 正
 Yoshinori OHTSUKA Shigeyuki AKITA Tadashi HATTORI

A COMS Time A/D converter LSI with half-nanosecond resolution by inverter-delay-time has been developed for measuring time intervals of multi-pulse by fully digital circuit. The accuracy is secured to use digital processing with crystal clock reference (ex. 2MHz) though inverter-delay-time is not stable due to variation of process, temperature and supply voltage. Therefore it is conformed that time resolution is 0.5 ns, measurement range is 0-2200 ns and multi-pulse-resolution is 55 ns. This LSI fabricated with 1.5 μm COMS is 3.5 mm \times 3.8 mm in size and so durable to operate from -35 to 140 $^{\circ}\text{C}$ stably.

Key Words : Time Measurement, Phase Comparator, Multi Pulse, A/D Converter, Gate Delay.

1. ま え が き

高精度な微小時間測定を必要とする車載用センシングシステムとして車間距離計測用レーダシステムがある。光、電波等の往復時間から距離を検出する場合 1 ns 程度の分解能が必要であり、アナログ回路技術¹⁾を基本とする方式、サンプリング処理によるもの²⁾、また高速クロックを用いるもの³⁾がある。これに対し筆者等は、アナログ回路及び高速クロックを用いない完全デジタル回路による方式を提案する。また、複数の物体を一回の発信（発光）で測距するというシステムサイドの要求から、複数の近接する受信パルス（反射信号）を高速で測定するという新たな課題が生じているが、アナログ回路による対応ではより複雑な回路構成となるため問題が大きい。

これに対し、高エネルギー物理学研究分野において、ゲート遅延時間を分解能とした微小時間測定用 LSI の報告がある⁴⁾⁻⁷⁾。この他にも同様の方式を用いた計測機器のためのカスタム LSI⁸⁾、PLL の位相比較器用回路⁹⁾が報告されている。これらすべての方式は、基本的に高速基準クロックで被測定時間をカウントする

ものであるため、クロック周期以下の分解能を得る必要があり、クロック周期を補間する補助的なものとして遅延回路が用いられている。したがって遅延回路のトータル遅延時間を基準クロックの周期に合わせ込む必要がある。そのため、各遅延素子の遅延時間は PLL などのアナログ回路で制限され本来の遅延速度よりも遅くなり、最も重要な分解能を落とすことになる。また使用環境の厳しい自動車への搭載には、耐環境性、信頼性、ラジオノイズ発生、低コスト化等において課題が多い。

ところで、カーエレクトロニクスにおけるシステム性能向上のために耐環境性（高温、電磁ノイズ等）、信頼性に優れた高度なセンシング技術が求められている。そこで筆者らは、従来アナログ回路が主流であった微小信号の検出とデジタル化（A/D 変換）を完全デジタル回路で行うリングゲートディレイ方式の時間/数値変換回路を報告した¹⁰⁾。デジタル回路は、高温リーク電流、外部電磁ノイズの影響を受けにくく、CMOS 技術において設計マージンをとることにより高温でも安定に動作する¹¹⁾¹²⁾。そしてこの時間/数値変換回路を用いた 1 チップセンサーとして、MRE (Magneto-resistive-Element: 磁気抵抗効果素子) をセンシングエレメントとする車輪速センサーの報告がある¹³⁾。このセンサーで必要なことは、時間の相対的変化を高

* 電子情報通信学会論文誌
 vol. J78-C-II No. 6 より加筆転載

分解能で数値化することであり、周囲温度による分解能の変動は問題とならない。しかしながら車載用レーダシステムにおける時間測定では、常に分解能変動の影響を受けない高精度な時間測定が要求される。また、複数の物体を同時に測距するため、近接して受信される複数パルスの測定も必要である。

そこで上記時間/数値変換回路の課題対策として、デジタル処理による方法を考案し試作品評価により良好な結果を得た。これにより、本回路方式の適用は車載用機器だけにとどまらず、広く計測（微小時間測定応用）、通信（デジタル PLL 位相比較）、制御（ディスク回転検出）等の各分野へ展開が可能となる。

本報告では、まず次章にてデジタル演算による高精度化の方法、第3章で複数パルス測定方法、第4章では今回設計したLSIの構成と動作について述べ、最後に試作サンプルの評価結果を示す。

2. 高精度化の方法

周囲温度、電源電圧、製造工程などの影響により文献10)の時間/数値変換回路におけるインバーター遅延時間が変動しても測定精度を確保する方法について、その概略を図1に示す。まず被測定時間 T (パルス PA、PB 位相差) を文献10)の時間/数値変換部により数値化しデジタル値 DB とする。その直後あるいは同時に水晶発振クロックなどにより得られる基準時間 TC (本図ではパルス PA、PC 位相差 1000 ns) を数値化してデジタル値 DC とし、両者の比 (DB/DC) をデジタル演算により求める。このとき時間分解能 TD は

$$TD = 1000 / DC \quad [\text{ns}] \quad (1)$$

となる。したがって被測定時間 T は

$$T = DB \times TD \quad [\text{ns}] \quad (2)$$

となり、補正された測定結果は式(2)に式(1)を代入して

$$T = (DB / DC) \times 1000 \quad [\text{ns}] \quad (3)$$

となる。

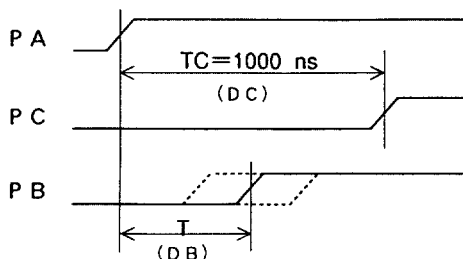


図1 時間精度補正方法

本補正方法ではデジタル除算回路が使用できるため、アナログ的な調整は完全に不要となる。そのため、ゲート遅延回路にブレーキをかける必要が無く本来の能力を発揮できる。したがって、信頼度が高くしかも低コストである成熟したICプロセスの使用が可能となる。また完全デジタル回路である (LSI 内部は1、0信号のみで動作しアナログ的な微小電圧を取り扱っていない) ため、高温時でも安定動作を確保できる (5、参照)。

ところでこの補正方法による分解能 (LSB) はインバーター遅延時間で決まるため、LSIの動作条件により若干の変動がある。しかしながら測定精度は常に水晶発振精度 $\pm (LSB/2)$ 以内に確保される。この実質的分解能の値については第5章で述べる。

3. 複数パルス測定方法

文献10)の“リングゲートディレイ方式”による時間/数値変換回路は、広い測定範囲 (多ビット出力) にもかかわらず遅延回路の規模が小さいため、遅延信号をラッチするラッチ信号配線の寄生容量は小さい。したがって近接する複数パルスを1チャンネルで測定できる。今回の複数パルス測定では、基本的には図2に示すように測定開始信号パルス PA1 の立ち上がりから測定終了信号 (ラッチ信号) パルス PB1-1、PB1-2、PB1-3……の立ち上がりまでの時間 T_1 、 T_2 、 T_3 ……を数値化する。しかしながら、パルス PB1 は時間/数値変換部の動作クロックであるため、この間隔が本回路の限界動作時間より小さくなることを防止する必要がある。そこで、パルス PB1 の任意の立ち上がりエッジから所定時間内に来る後続の立ち上がりエッジ (図2の PB1-2) を無視し、時間/数値変換部には図2のパルス PB が入力されるようにしている。この所定時間を複数パルス分解能 T_m ということとする。図3はこれを実行する回路である。複数パルス分解能 T_m はインバーターからなる遅延回路 DLY 1、2 の遅

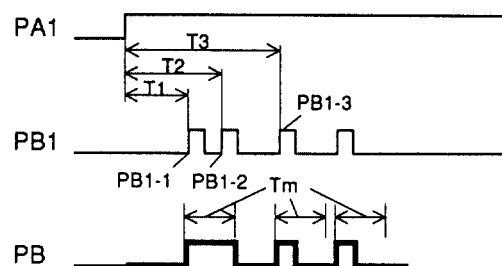


図2 複数パルス対応処理

延時間 TDL1、TDL2 の合計となりインバーターの段数で調整できる（今回は標準条件下で約 55 ns とした）。時間/数値変換部の限界動作時間と複数パルス分解能 T_m は動作条件の変動に対して同じ割合で動き、動作マージンは常に確保される。

4. LSI の構成と動作

4・1 ブロック構成

今回設計した LSI の構成を図 4 に示す。コアとなる時間/数値変換部には、文献 10) と同様の時間/数値変換回路を用いている。そしてこのブロックの前段に前章で述べた回路を含むパルス波形処理部、後段には第 1 レジスター部、除算回路部、第 2 レジスター部が配置され、これらを統括する制御部からなる。これにより外部入力パルス PA1（時間測定開始信号）と PB1（時間測定終了信号）の位相差をデジタル値に変換する。パルス PB1 は最大 4 パルスまで対応できそれ以上は無視される。パルス波形処理部では、制御部からの基準時間位相差を持つパルス PA2、PB2 をパルス PA1、PB1 と合成してパルス PA、PB を発生する。制御部は、水晶発振クロックなどの安定したクロックにより、各ブロックの制御信号を発生する。

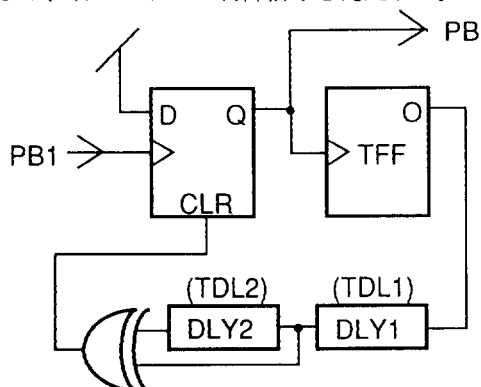


図 3 複数パルス処理回路

4・2 基本動作

本 LSI の基本動作を図 5 のタイムチャートに示す。基準クロック CKX の周波数はプログラマブルであり本報告では 2 MHz を用いた。このクロックは、従来の電圧 AD 変換器の基準電圧に相当する基準時間を与えるものであり、他の方式^{4)~9)} と異なり直接パルス間隔をカウントするものではない。そのため比較的低い周波数のクロックで高精度化が可能となる。

基本的な測定は、任意のタイミングで測定開始信号パルス PA1 が立ち上がることで始まる。次に第 1 番目の測定終了信号パルス PB1-1 が入り、続いて第 2、第 3、第 4 の測定終了信号パルス PB1-2、3、4 が入力される（仮に第 5 番目以降のパルスが入力されても無視される）。第 4 番目のパルス PB1-4 が入った後、制御部において基準時間位相差を持つパルス PA2、PB2 が発生されパルス波形処理部を介して時間/数値変換部に入力される。そしてそれぞれの被測定時間に対応するデジタルデータ DT1-1、2、3、4 と基準時間に対応するデジタルデータ DT1-C が第 1 レジスターに格納される。次にクロック CKX により被除数を DT1-1、2、3、4、除数を DT1-C として除算を実行し除算結果 (DT2-1~4) を第 2 レジスターに格納する。これにより一通りの測定が完了しデータ転送が可能となる。今回 1.5 μm CMOS により試作したサンプルチップ写真を図 6 に示す。チップサイズは、3.5 mm \times 3.8 mm である。

なお、本 LSI における時間/数値変換部のリングゲートディレイは、時間軸においてフラッシュ型 AD 変換器の電圧コンパレータ的役割を果たしている。そしてフラッシュ型 AD 変換器と比べて特徴的なことは、比較電圧発生用の抵抗あるいはコンデンサーに相当するものが不要であることである。

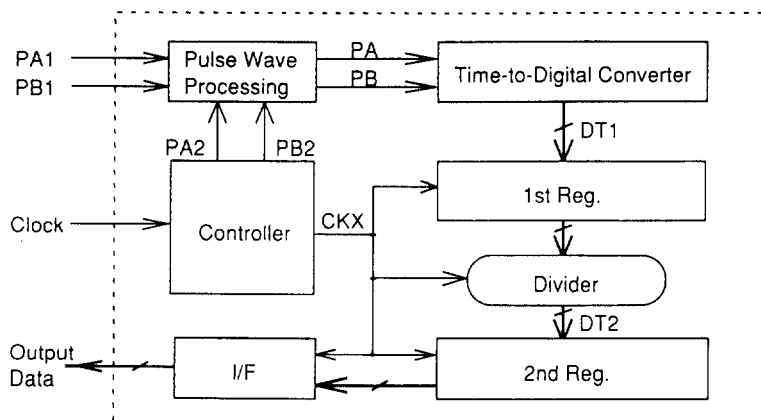


図 4 回路ブロック全体構成

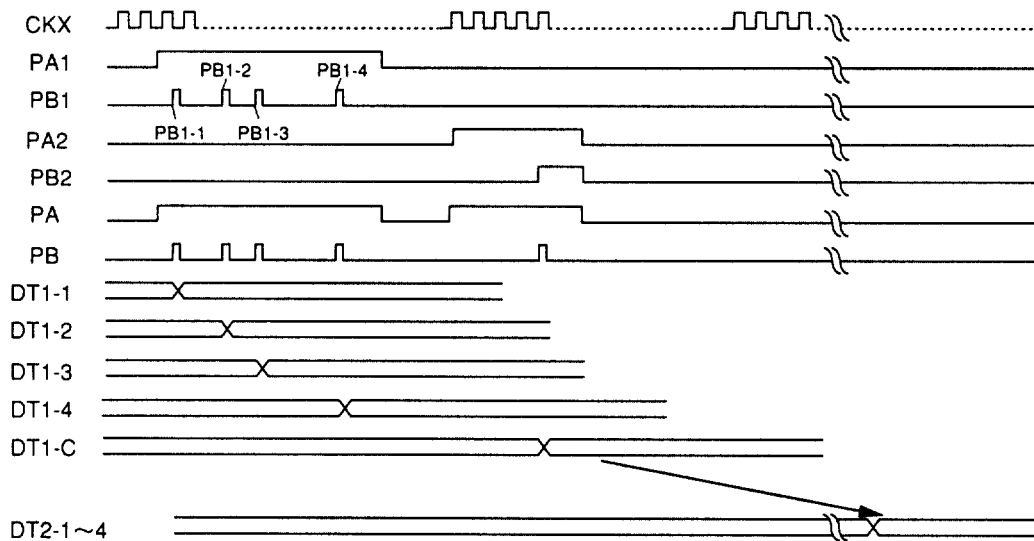


図5 基本動作のタイムチャート

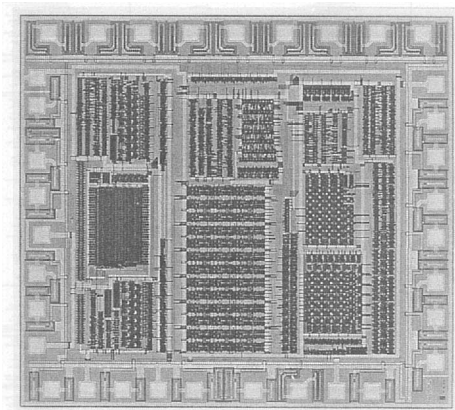


図6 チップ写真

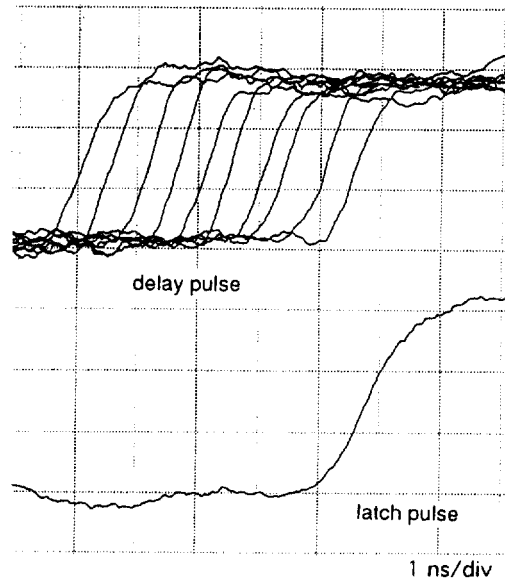


図7 EB テスタ観測によるゲートディレイ波形

5. 評価結果

5・1 遅延パルス波形観測結果

EB テスターにより観測したインバーター遅延パルス波形を図7の上段に示す。本図では偶数段目のパルス波形を反転してプロットしてある。また同時に観測したラッチパルス(図5のパルスPB)波形を同図下段に示すが、遅延パルスと同等の急峻な立ち上がりとなっておりミスラッチなどの不具合が発生しないことがわかる。

5・2 補正の有無による測定結果

時間/数値変換特性評価においてはVLSI テスター(アドバンテスト社製 T 3324)を用いた。電源電圧5Vと4Vにおける補正無し時の測定結果を図8、同補正有り時の測定結果を図9に示す。横軸はパルスPA1とPB1の位相差時間(時間増加ステップ $\Delta T=62.5$ ps)、縦軸はデジタル出力である。補正無しの場合電源

電圧の違いにより出力値が大きく異なるのに対して、補正が有る場合は電源電圧の違いに関係なくほぼ等しい結果が得られている。

また、図10(a-1)、(a-2)に電源電圧4V、周囲温度140°Cの場合、同図(b-1)、(b-2)に電源電圧5V、周囲温度25°Cの場合、同図(c-1)、(c-2)に電源電圧6V、周囲温度-35°Cの場合における補正無し時および補正有り時による全範囲(0~2250 ns)測定結果(積分非直線性誤差)を示す。補正無しでは理想値からの誤差が大きくなり精度が落ちるが、補正することにより高精度な測定が可能となっている。標準条件(5V、25°C)における積分非直線性誤差は $\pm 0.05\%/FS$ である。なお実質的な時間分解能の温度依存性を図11に示す。

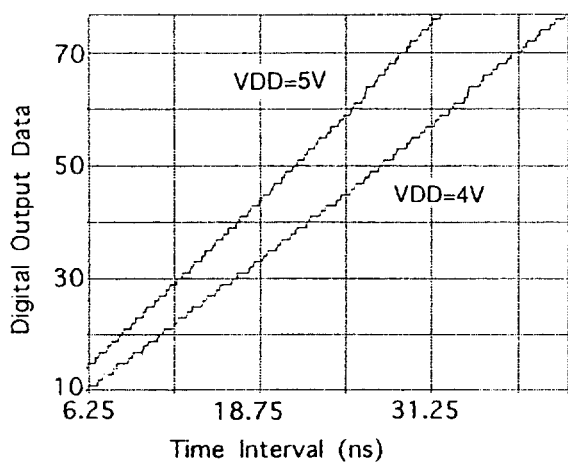


図8 補正処理のない時間/数値変換特性

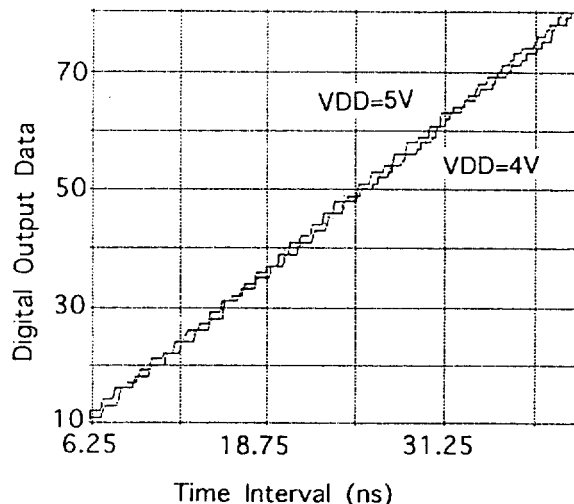


図9 補正処理された時間/数値変換特性

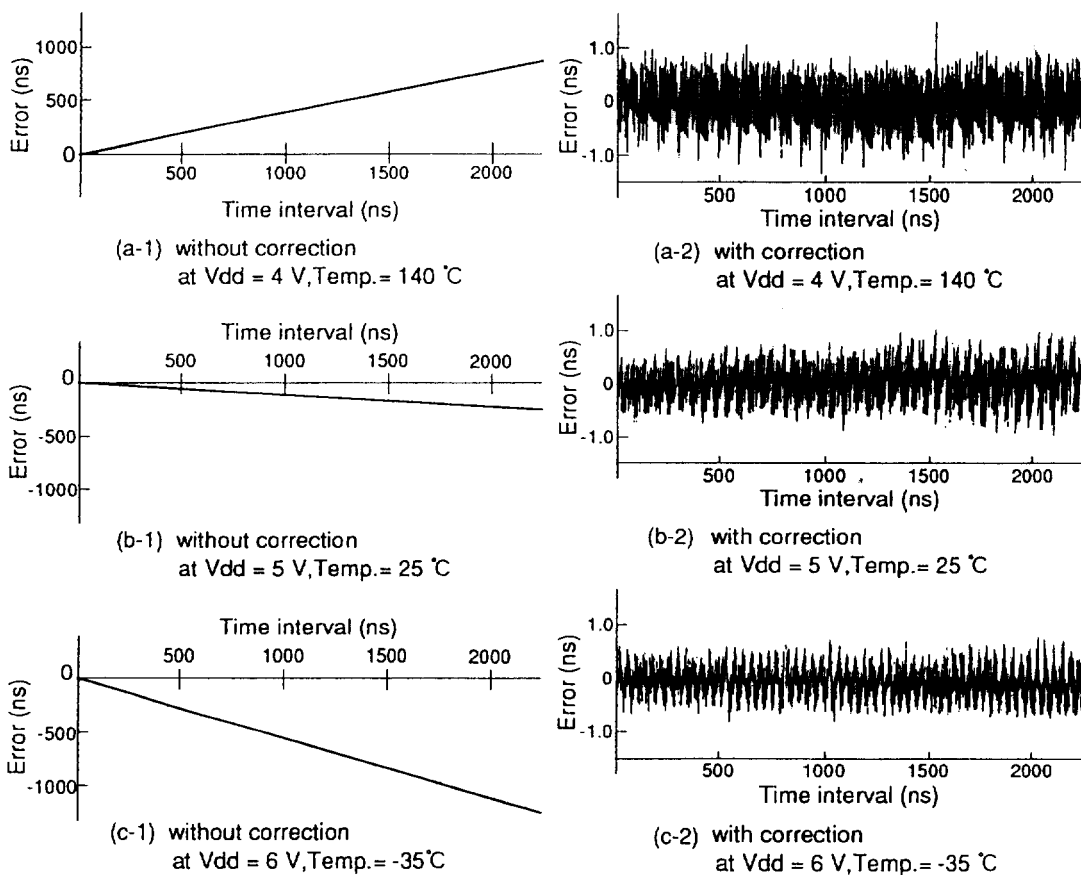


図10 時間/数値変換特性 (積分非直線性誤差): 測定ステップ 250 ps、測定ポイント 9000

5・3 複数パルス測定結果

次に複数パルス測定結果について述べる。標準条件での測定結果を図12、これに用いた入力パルスのタイムチャートを図13に示す。パルスPA1の立ち上がりから複数パルスPB1-1、2、3……の立ち上がりまでの時間を数値化するが、基本的な動作は図5と同様である。ただし図13(a)の状態はパルスPB1における最初の4パルス(PB1-1~4)の立ち上がりエッジが所定時

間(複数パルス分解能 T_m : 約 55 ns) よりも接近しているため、波形処理部で1つのパルス(同図PBの太線で示された部分)に合成される。すなわちパルスPB1-2、3、4の立ち上がりエッジは無視される。したがって実際に数値化される第1測定データ(1st data)は、パルスPA1の立ち上がりからパルスPB1-1の立ち上がりまでの時間(本測定では100 nsで一定値とした)である(図12の1st data)。次に数値化される第

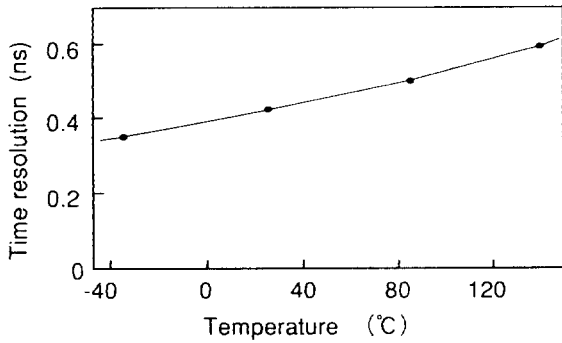


図 11 時間分解能の温度依存性

2 測定データ (図 12 の 2 nd data) は、パルス PA 1 の立ち上がりからパルス PB 1-5 の立ち上がりまで (同じく 440 ns で一定値) である。以降同様にパルス PB 1-6 (同じく 565 ns で一定値) が第 3 測定データ (図 12 の 3 rd data)、PB 1-7 (同じく 690 ns で一定) が第 4 測定データ (図 12 の 4 th data) となる。この状態は図 12 のグラフにおける横軸 0~381 の領域に当たる。なお本グラフの横軸はテストステップ順を示しており、上述の領域 (0~381) では、パルス PB 1-4 だけが図 13 (a) で右方向へ 1 テストステップごとに 62.5 ps ずつシフトされる (その他のパルス位置は不変)。すなわちパルス PB 1-1 の立ち上がりエッジとパルス PB 1-4 の立ち上がりエッジ間隔のみが 1 テストステップごとに 62.5 ps ずつ増大する。その他のパルス位置はグラフを見やすくするために上述のごとく一定値としたが、実際の使用で制約されるものではない。

次に図 13 の (b) について述べる。パルス PB 1-1 の立ち上がりエッジと PB 1-4 の立ち上がりエッジ間隔が複数パルス分解能 T_m (約 55 ns) よりも大きくなるとパルス PB 1-4 が分離され同図 PB の太線で示されたパルス波形となり、パルス PB 1-1 の次にパルス PB 1-4 が測定され、これが第 2 測定データ (2 nd data) となる (図 12 の横軸 382 のポイント)。このとき第 3、第 4 の測定データも 1 つ前のパルスに対応するため図 12 における階段状の変化となる (パルス PB 1-7 は無視される)。パルス PB 1-4 はパルス PB において分離されてからも、パルス PB 1-3 の立ち上がりエッジとパルス PB 1-4 の立ち上がりエッジ間隔が 72.5 ns (この値はグラフを見やすくするために適当に決めたものであり実際の使用で制約されるものではない) になるまでパルス PB 1-4 のシフトが継続されその後 PB 1-3 と PB 1-4 が同時にシフトされる。そしてパルス PB 1-1 の立ち上がりエッジとパルス PB 1-3 の立ち上がりエッジ間隔が開き始める。しかしながら、

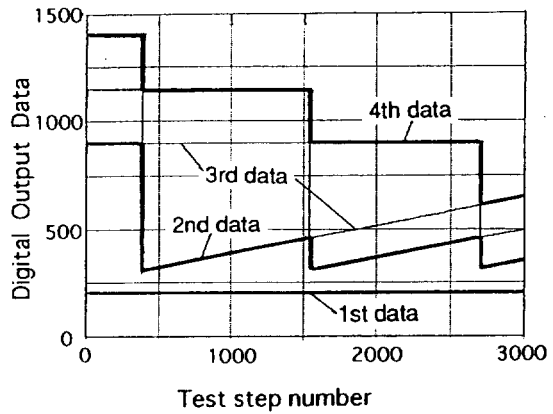


図 12 複数パルスに対する時間/数値変換特性

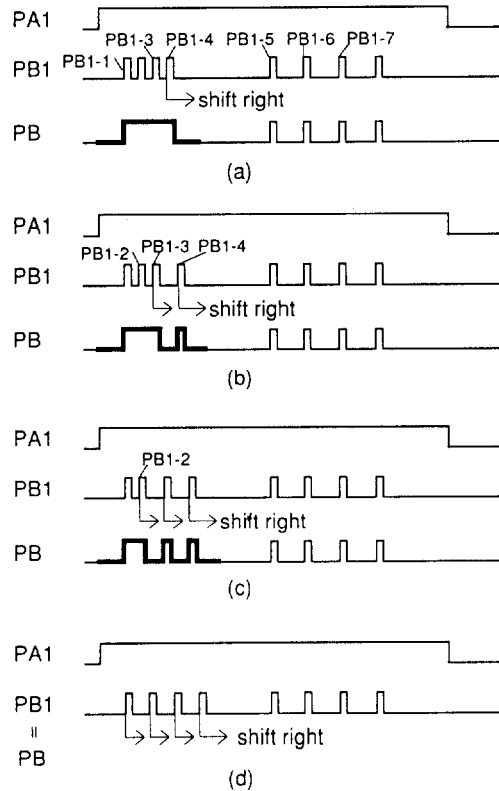


図 13 複数パルス測定時のタイムチャート

最初はこの間隔 (PB 1-1 と PB 1-3 の立ち上がり) が複数パルス分解能よりも小さくパルスは合成されたままである (同図のパルス PB)。そのため、図 12 の横軸 382~1539 の領域では第 2 測定データ (2 nd data) 出力値だけが単調増加している。そしてテストステップが 1540 に達するとパルス PB 1-1 の立ち上がりエッジとパルス PB 1-3 の立ち上がりエッジ間隔が複数パルス分解能を越えるため図 13 (c) の状態に移行する。このとき再び第 2、第 3、第 4 測定データはそれぞれ 1 つ前のパルスに対応することになる。

以上、同様のことが図 13 の (c) : (PB 1-2 と PB 1-3

表1 各動作条件における複数パルス分解能

		(単位: ns)		
電源電圧 (V)	周囲温度 (°C)	4	5	6
		-3.5	56.2	44.9
2.5	66.9	53.2	45.4	
8.0	78.6	61.0	52.7	
14.0	91.8	73.1	61.5	

表2 LSI性能諸元

時間分解能	0.49 ns
時間分解能標準偏差	$\sigma = 0.27$ ns
出力ビット	12
測定範囲	0~2200 ns
積分非直線性誤差	$\pm 0.05\%$ / FS
複数パルス分解能	55 ns
消費電力	10 mW
プロセス	1.5 μ m CMOS
チップサイズ	3.5 mm x 3.8 mm

(電源電圧: 5V, 周囲温度: 25°C)

の間)と(d): (PB1-1とPB1-2の間)で行われており、その結果が図12の横軸1540~2697および2698~3000の領域となる。各動作条件での複数パルス分解能を表1に示すが、この変動が測定に関し問題とならないことを確認している。以上本LSIの性能諸元を表2に示す。

6. む す び

文献10)の“リングゲートディレイ方式”による時間/数値変換回路をコアとして、完全デジタル回路により高精度で微小時間を数値化する時間AD変換LSIを開発した。使用プロセスは1.5 μ m CMOS、チップサイズは3.5 mm x 3.8 mmである。シングルショットのパルス位相差を時間分解能0.5 ns、測定範囲0~2200 nsで数値化できる。複数パルス測定では最大4パルスまで対応でき、複数パルス分解能は55 nsである。時間精度補正をデジタル演算で行うためアナログ的調整は不要である。本LSIは、周囲温度-35~140°C、電源電圧4~6Vにおいて安定に動作する。

今後の課題として、時間分解能の向上、測定範囲の拡大、複数パルス分解能の向上等があり、回路規模の小型化、薄膜SOI技術の導入などを含め一層のレベルアップを目指す。

<文 献>

- 1) Ilkka Kaisto, Juha Kostamovaara, Markku Manninen and Risto Myllyla: "Optical range finder for 1.5-10m distances", APPLIED OPTICS, vol. 22, no. 20, pp. 3258-3264 (Oct. 1983)
- 2) 田宮則宏、金子和磨、筆脇雄一: "車載用レーザレーダのサンプリング信号処理方法による反射波形検出"、自動車技術会論文集 vol. 25, no. 1, pp. 98-101, Jan. 1995
- 3) 大西雅弘、杉田栄利、西野潤、武田洋: "車間距離警報装置の開発"、自動車技術、vol. 50, no. 4, pp. 26-31 (1996)
- 4) Kleinfelder, S., Majour, T., Blumer, K. A., Farr, W. and Manor, B.: "MTD132-A New Sub-Nanosecond Multi-Hit CMOS Time-to-Digital Converter", IEEE Trans. Nuclear Science, vol. 38, no. 2, pp. 97-101 (1991)
- 5) Arai, Y., Matumura, T. and Endo, K.: "A CMOS 4ch x 1K Time Memory LSI with 1 ns Resolution", IEEE 1991 Custom Integrated Circuits Conference, 91CH2994 10. 5. 1-10. 5. 4 (May 1991)
- 6) C. Ljuslin, J. Christiansen, A. Marchioro, O. Klingsheim: "An Integrated 16-channel CMOS Time to Digital Converter", IEEE Trans. Nuclear Science, vol. 41, no. 4, pp. 1104-1108 (Aug. 1994)
- 7) F. Gasparini, R. Brugnera, R. Carlin, F. Dal Corso, M. De Giorgi, U. Dosselli, M. Grassi M. Morandin, M. Posocco, L. Stanco, R. Stroili: "A delay line on a VLSI gate array as a time digitizer", Nuclear Instruments and Methods in Physics Research A 342 (1994) 571-577 North-Holland
- 8) Thomas A. Knotts, David Chu, Jeremy Sommer: "A 500MHz Time Digitizer IC with 15.625ps Resolution", IEEE International Solid-State Circuits Conference, 0-7803-1844-7/94/\$3.00/c 1994 IEEE
- 9) A. Rothermel, F. Dell'ova: "Analog Phase Measuring Circuit for Digital CMOS IC's", IEEE J. Solid-State Circuits, vol. 28, no. 7 Jul. 1993
- 10) T. Watanabe, Y. Makino, Y. Ohtsuka, S. Akita and T. Hattori: "A CMOS Time-to-Digital

Converter LSI with Half-Nanosecond Resolution Using a Ring Gate Delay Line” , IEICE Trans. Electron. vol. E76-C, no. 12, pp. 1774-1779 (Dec. 1993)

- 11) F. S. Shoucair : “Scaling, Subthreshold, and Leakage Current Matching Characteristics in High-Temperature (25°C-250°C) VLSI CMOS Devices”, IEEE Trans. Components, Hybrids & Manuf. Technol. vol. 12, no. 4, pp. 780-788 (Dec. 1989)

- 12) 右高正俊、倉地耕平、内藤博年、原田実、竹内正佳、川上宏樹：“454°Cまで動作する高温動作IC”、信学技報、ICD93-72 (1993-08)

- 13) 大塚義則、牧野泰明、渡辺高元、秋田成行、服部正：“磁気抵抗素子とデジタル回路による車輪速センサーの開発”、自動車技術会論文集 vol. 26, no. 3, pp. 132-136, Jul. 1995

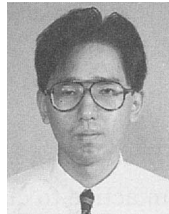
＜著 者＞



渡辺高元 (わたなべ たかもと)
 基礎研 3 部
 センサー回路および LSI 機能回路の研究開発に従事。



我妻秀治 (あがつま しゅうじ)
 IC 技術 1 部
 自動車用マイコンの開発に従事



磯村博文 (いそむら ひろふみ)
 IC 技術 1 部
 自動車用カスタム LSI の開発に従事。



大塚義則 (おおつか よしのり)
 基礎研 3 部
 半導体センサデバイス、プロセスおよび回路の研究開発に従事。



秋田成行 (あきた しげゆき)
 基礎研 3 部
 半導体センサー、自動車用 LSI、ASIC 機能回路の研究開発に従事。



服部 正 (はっとり ただし)
 基礎研 1 部
 マイクロマシニング、半導体、ディスプレイの研究開発に従事。
 工学博士