

論文 部分 SOI 構造を有するインテリジェントパワー IC*

Intelligent Power IC with Partial SOI Structure

山口 仁 氷見 啓明
 Hitoshi YAMAGUCHI Hiroaki HIMI
 服部 正 藤野 誠二
 Tadashi HATTORI Seiji FUJINO

In the integration of power devices and control circuits, temperature rise caused by the heat dissipation of power devices and electric interference between power devices and control circuits are important problems. In this report, the following was demonstrated by using our original partial silicon-on-insulator (SOI) structure with electric shielding layers. The partial SOI structure has the Si directly bonded areas where power devices are formed and SOI areas where control circuits are formed. Firstly, the temperature rise was reduced to about a half that in the complete SOI structure, and the latch-up occurrence in the control circuit was prevented by the insertion of shielding layers. Secondly, at the condition of 150°C and 16V, the normal operation of an intelligent power IC consisting of multi-channel power devices and a 1-bit microcomputer was accomplished.

Key Words : Semiconductor, SOI, Intelligent Power IC, Temperature Rise, Electric Interference.

1. 緒 言

インテリジェントパワー IC は、自動車用エレクトロニクス・フラットパネルディスプレイ・モーター駆動・電源用 IC 等様々な分野で用いられている¹⁻³⁾。その構成要素であるパワー素子としては、低オン抵抗・高耐圧といった性能が要求され、また制御回路用素子としては高集積・高信頼性といった性能が要求される^{4,5)}。特に自動車用エレクトロニクスの用途においては、高温環境下で使用されることを考慮してパワー素子の発熱による温度上昇を低減することが必要となる。また、点火系やモーター等からの電氣的サージに対する保護、パワー素子と制御素子間の電氣的干渉の抑制が要求され、さらに最近の自動車用エレクトロニクスの傾向として、アクチュエーターと制御系との通信機能や複数出力の機能を備えたインテリジェントパワー IC が要求されている。

1 チップ上にパワー素子と制御回路を集積するためには、図 1 に示すような自己分離・PN 接合分離あるいは誘電体分離といった分離構造が用いられてきた⁶⁾。この中では、IC 設計の自由度・高集積・高信頼性の点からすると誘電体分離が有利である。この誘電体分離

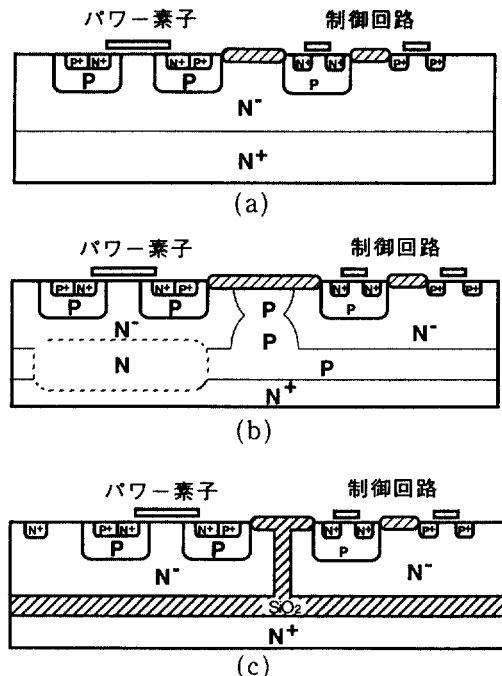


図 1 インテリジェントパワー IC の素子分離
 (a)自己分離
 (b)PN 接合分離
 (c)誘電体分離

* Jpn. J. Appl. Phys. Vol. 34(1995) より和文翻訳にて転載

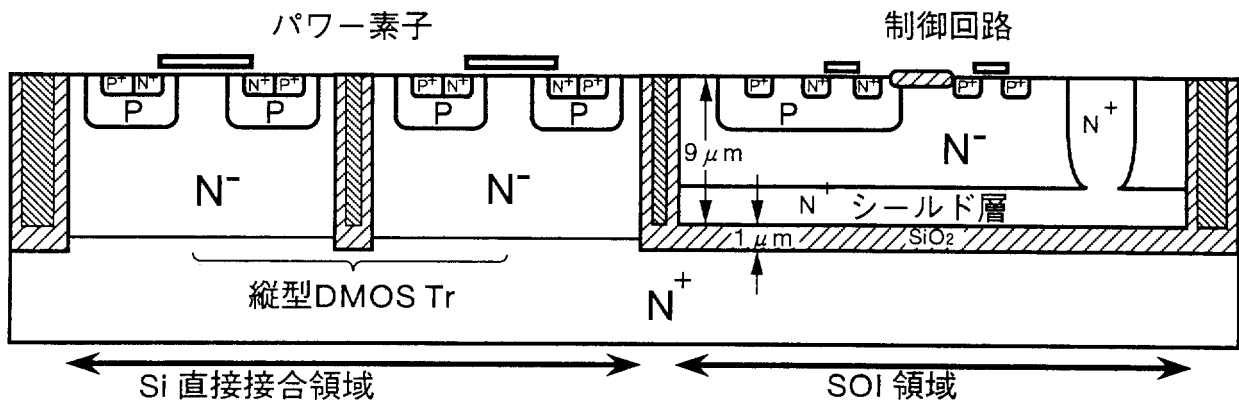


図2 部分 SOI 構造を用いたインテリジェントパワー IC の断面構造

の中でも、低オン抵抗に有利な縦型 DMOS と制御回路を集積する目的から、特に我々は図 2 に示す部分 SOI 構造を研究してきた⁷⁾。

そこで本研究では、我々が提案してきた部分 SOI 構造において、まずパワー素子発熱時の温度上昇とパワー素子と制御回路間の電氣的干渉について調査することにした。またさらに、この構造を用いて多チャンネル構成のパワー素子と 1 ビットマイコンを集積したインテリジェントパワー IC を試作したのでその結果について報告する。

2. 素子構造と製造方法

図 2 に部分 SOI 構造を用いたインテリジェントパワー IC の断面構造を示す。SOI の厚さおよび埋め込み酸化膜の厚さはそれぞれ $9\mu\text{m}$ 、 $1\mu\text{m}$ であり、また電氣的遮へい層(シールド層)のシート抵抗は $10\Omega/\square$ である。この部分 SOI 構造において、制御回路は SOI 領域に形成され、また 2 チャンネルの縦型 DMOS トランジスタは埋め込み酸化膜の無い N^+ 高濃度基板と直接接合している領域に形成されている。この場合、IC の裏面が各縦型 DMOS トランジスタの共通ドレイン端子となり、電源電圧に接続することにより、2 チャンネル出力のハイサイドスイッチが形成されることになる。同様に、P 型基板を用いることによりドレイン電極を表面から取り出すタイプのアップドレイン型 DMOS トランジスタを複数チャンネル形成することも可能である。この場合には各 DMOS トランジスタのドレイン端子は独立で、それぞれ異なる負荷に接続可能なことから、1 チップ上に 2 チャンネルのローサイドスイッチが形成できることになる。これらのパワー素子はトレンチ分離によってそれぞれ電氣的に分離され、また制御回路もトレンチと埋め込み酸化膜に

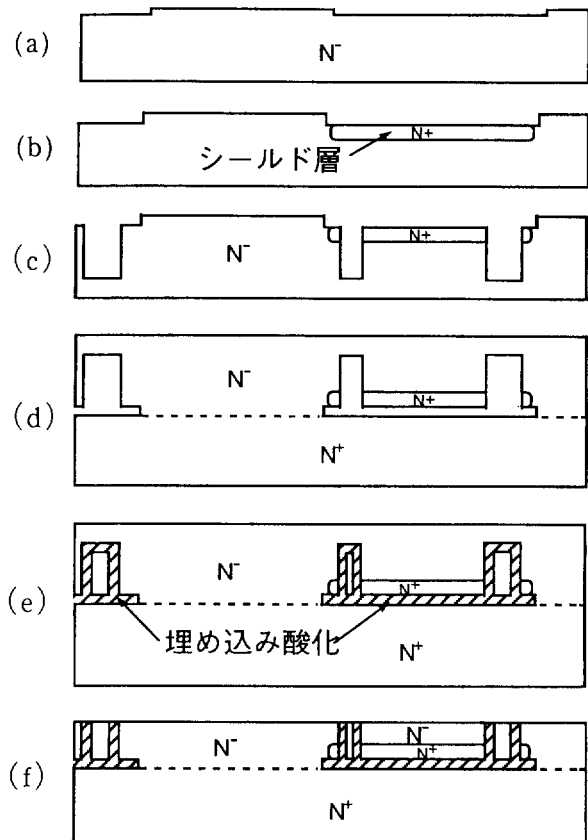


図3 部分 SOI 構造の形成フロー
 (a)埋め込み酸化膜のための浅い溝形成
 (b)As イオン注入によるシールド層形成
 (c)トレンチ分離のための深い溝形成
 (d)ウエハ直接接合
 (e)埋め込み酸化 (1150°C)
 (f)研削・研磨

よってパワー素子から分離される構造となる。これに対して、従来の全面 SOI 構造を用いた場合には、制御回路とパワー素子はともに SOI 領域に形成されるため、縦型 DMOS を集積化することはできない。

このような部分 SOI 構造は、図 3 (a) ~ (f) に示すウエハ直接接合プロセスと埋め込み酸化プロセスによって形成される。まずウエハ直接接合プロセスは、図 3 (d) に示すように二枚のウエハを高濃度のフッ酸に浸漬することにより、自然酸化膜を除去し、シリコン表面を高濃度にフッ素終端させる。これらのウエハを純水処理することによりこのフッ素を OH 基に置き換え、そして、この二枚のシリコンウエハを OH 基どうしの水素結合を利用して室温で接合させる⁹⁾。次に、埋め込み酸化プロセスは図 3 (e) に示すように、張り合わせ面に形成した幅の広いトレンチを酸素導入溝として利用することにより、張り合わせたウエハの端から中心に向かって酸素を送り込み熱酸化を行うことによって酸化膜を埋め込む。この幅の広いトレンチは、後に各チップを切り離すために必要なスクライプラインとして利用される。そして、1チップ内において各トランジスタを分離するための細いトレンチや、SOI 領域を形成するための埋め込み酸化膜となる領域の浅いトレンチがこの幅の広いトレンチに接続され、ウエハの細部に渡って熱酸化されることになる。このとき、シリコンウエハどうしが直接接している上述の水素結合した界面は、高温の熱処理によって共有結合となり、ボイドの無い連続な接合が得られる。さらに、図 3 (f) に示されるように、研削・研磨によってトレンチが現れるまで SOI の厚さを薄くし、露出したトレンチの空洞を多結晶シリコンにより埋め込み平坦化する。最後に、このようにして形成された部分 SOI 構造に、従来技術を用いて DMOS トランジスタや制御回路を形成する。

3. 実験結果と検討

3.1 温度上昇

シリコン酸化膜の熱伝導率はシリコンの約 1/100 である。パワー素子をシリコン酸化膜で囲まれた SOI 領域に形成する全面 SOI 構造において、パワー素子の動作に伴って発生する熱は SOI 領域に蓄積されやすいことになる。これに対して、パワー素子の底部にシリコン酸化膜の無い部分 SOI 構造の場合には、この熱は容易に N+ 基板に流れることになる⁹⁾。従って、部分 SOI 構造を用いてパワー素子を集積化した場合には、

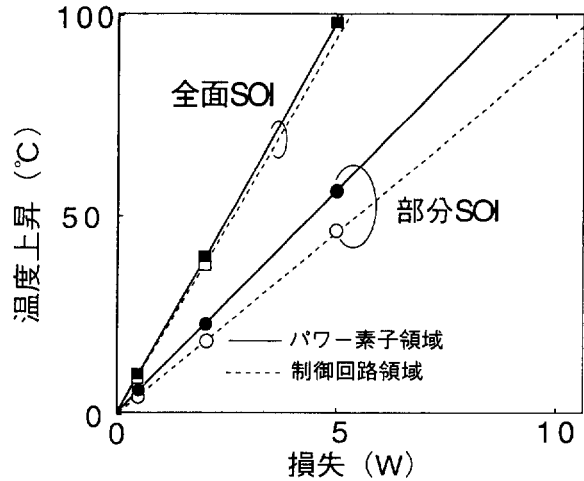


図 4 パワー素子発熱による温度上昇

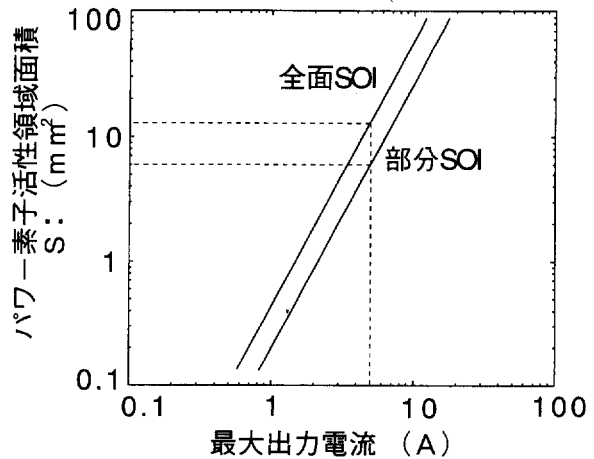


図 5 パワー部素子面積 v.s. 最大出力電流

全面 SOI 構造に比べて IC の温度上昇を低減できることが期待される。温度上昇の測定には、パワー素子領域と制御回路領域の両方に感温ダイオードを設け、パワー素子が発熱する前後における各感温ダイオードの電流-電圧特性の変化を測定することによって評価した。また、部分 SOI 構造と全面 SOI 構造の比較において、各パワー素子のオン抵抗の違いによる温度上昇への影響を無くすために、各パワー素子を同じ損失となる条件で動作させている。評価に用いたサンプルは、いずれも銅リードフレームと樹脂モールドにより実装している。図 4 は、パワー素子領域と制御回路領域の温度上昇を測定した結果である。全面 SOI 構造との比較において、パワー素子領域・制御回路領域ともに温度上昇がそれぞれ 55%・50% に低減されていることが

分かる。

この結果から、1チップにパワー素子と制御回路を集積した場合に、ICの温度上昇によって律則されるパワー部の面積は大幅に低減できることになる。このパワー部の面積(S)と出力電流(I)の関係は、発熱の式(1)および温度上昇の式(2)により、(3)式によって表され図5のようになる。

$$W = I_{max}^2 \cdot (2 \cdot R_n / S) \quad (1)$$

$$\Delta T = W \cdot R_{th} \quad (2)$$

$$S = (2 / \Delta T) \cdot I_{max}^2 \cdot R_n \cdot R_{th} \quad (3)$$

ここで、 ΔT はパワー素子の温度上昇、 R_n は規格化オン抵抗、また R_{th} はパワー素子から周囲までの熱抵抗を表している。この式から、パワー素子の活性領域面積はその規格化オン抵抗と熱抵抗に比例することが分かる。そして図4から、部分SOI構造の熱抵抗と全面SOI構造の熱抵抗はそれぞれ $10^\circ\text{C}/\text{W}$ 、 $20^\circ\text{C}/\text{W}$ であり、部分SOI構造のパワー素子の活性領域面積は全面SOIに対して約半分まで済むことになる。

3・2 電氣的干渉

図2で示されるインテリジェントパワーICにおいて、制御回路は埋め込み酸化膜によって基板から分離されている。その制御回路はNチャンネルMOSトランジスタとPチャンネルMOSトランジスタから構成されるが、各トランジスタは高集積化を図る上で必ずしも深いトレンチで分離されるわけではない。図6に示すように、インテリジェントパワーICの基板電位は縦型DMOSのスイッチング動作や基板に繋がる電源の不安定さを原因として変動し、埋め込み酸化膜を介して制御回路に伝わり制御回路のサイリスタ構造がラッチアップを起こすことがある¹⁰⁾。

このラッチアップの発生を防ぐため、電位変動を吸収するためのシールド層をSOI領域の底部に挿入する試みを行った。この効果を評価するために、シールド層が無い場合・シート抵抗が $50\ \Omega/\square$ のシールド層を挿入した場合・同じく $10\ \Omega/\square$ のシールド層を挿入した場合について、基板電位変動の急しゅんさに対するCMOSインバーターのラッチアップの起こりやすさを測定し比較を行った。CMOSインバータの特性は半導体パラメータアナライザ(HP-4145)で測定し、基板電位変動は任意波形発生器(YOKOGAWA-AG 2200)によって与えた。図7にこの結果を示す。 $10\ \Omega/\square$ のシールド層を挿入した場合には、 $250\ \text{V}/\mu\text{sec}$ の電位変動に対してもラッチアップが発生しない。このことは、車載用途で起こりえるオルタネーター

遮断時のフィールドディケイやイグニッションノイズ等の最も厳しい電位変動である $70\ \text{V}/\mu\text{sec}$ に対して、十分ラッチアップの抑制効果があると考えられる。

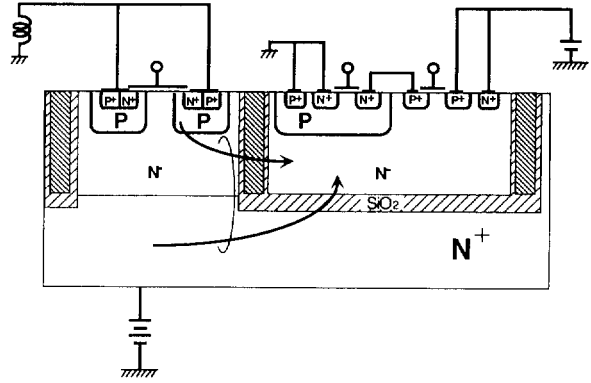


図6 電氣的ノイズ伝達経路

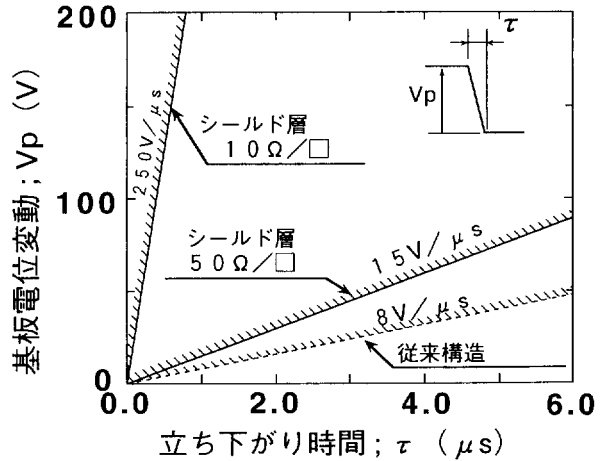


図7 基板電位変動におけるシールド層効果

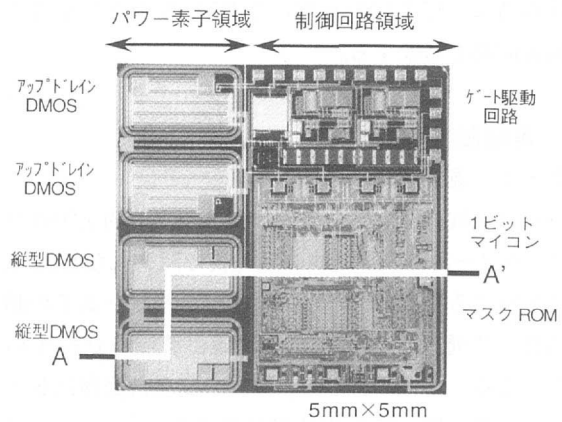


図8 インテリジェントパワーICチップ写真

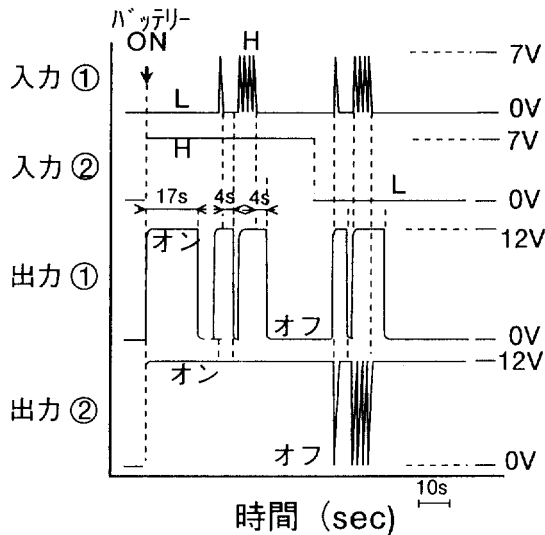


図9 1ビットマイコンによるシステム制御

3・3 システム動作

温度上昇や電氣的干渉に対して有利であるシールド層を備えた部分 SOI 構造を用いて、1ビットマイコンを集積したインテリジェントパワーICの試作を行った。図8はこのインテリジェントパワーICのチップ写真である。パワー素子としては、1.5 A 出力の2チャンネル縦型 DMOS と同じく2チャンネルアップドレイン型 DMOS が集積化され、それぞれ N+基板を用いたときには縦型 DMOS が、また P 基板を用いたときにはアップドレイン型 DMOS が有効となる。また、過熱検出、過電圧検出の保護機能、ゲート駆動回路およびマスク ROM を伴った1ビットマイコンが1チップ上に集積化されている。チップサイズは 5 mm×5 mm で、図1の断面図は図8の A-A に対応している。

表1は1ビットマイコンにおける入出力間の関係を現わしたもので、例えばあるセンサーからの入力によりポンプ等のアクチュエーターを制御することを想定している。その基本動作は、まずバッテリーをオンすることによって出力①は17秒間オン状態を保ちその後オフ状態となる。そして入力①に High の信号が加えられると出力①はオン状態となり、入力①に Low が加えられるとその4秒後にオフ状態に戻る。出力②は通常オン状態で、入力②が Low かつ入力①が High のときのみオフ状態となる。インテリジェントパワーICのシステム動作は、1ビットマイコンの入力信号を変化させたときのパワー素子の出力電圧を測定することにより評価を行った。図9にはその結果を示す。2チャンネルの出力電圧は、電氣的干渉を受けることなく、表1の関係通りに制御されることが確認された。

さらに、このインテリジェントパワーICのシステム

表1 マイコン制御

入力①	L	H	L	H
入力②	L	L	H	H
出力① a)	オフ b)	オン	オフ b)	オン
出力②	オン	オフ	オン	オン

a) バッテリーONの後、出力①は17秒間オン状態を保持してからオフする
b) 入力①がLになった後、出力①は4秒間オン状態を保持してからオフする

動作について、環境温度と電源電圧に関する安全動作領域を評価した。比較として、シールド層の無い従来構造についても評価を行い、その結果を図10に示す。部分 SOI 構造にシールド層を挿入したものは環境温度 150 度・電源電圧 16 V の動作条件においても誤動作することなくシステム動作するが、従来構造の場合には同じ条件においてラッチアップが発生することが確認された。従って、このような発熱対策と電氣的遮へいに有利な部分 SOI 構造を採用することによって、システム動作の安全動作領域を広げることが可能となった。

4. ま と め

部分 SOI 構造を有するインテリジェントパワーICにおいて以下のことを確認した。

- (1) パワー素子発熱時の温度上昇は全面 SOI 構造に比べて約半分に低減され、同じ許容温度上昇においては、パワー部の面積を約半分にすることができる。
- (2) SOI 領域に 10 Ω/□ のシールド層を挿入することによって、車載用途における電位変動の影響を

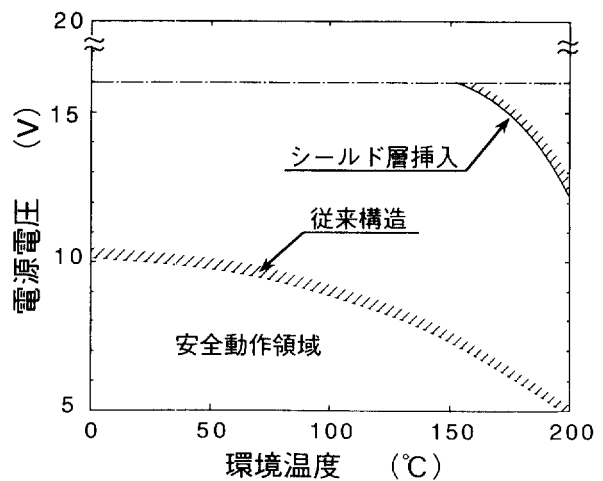


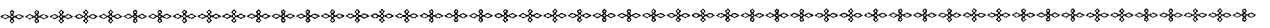
図10 環境温度、電源電圧に関する安全動作領域

抑制し制御回路のラッチアップを防ぐことができるようになった。

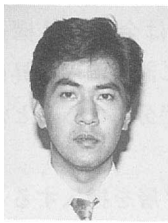
- (3) マルチチャンネルのパワー素子と1ビットマイコンを集積したインテリジェントパワーICを試作し、環境温度 150 度・電源電圧 16 V の動作条件においても正常動作することを確認した。

＜参 考 文 献＞

- 1) B. J. Baliga: IEEE Trans. Electron Devices 38 (1991), p. 1568
- 2) K. Suda, S. Ozeki, H. Matsuzaki and K. Kawamoto: Proc. 2nd Int. Symp. Power Semiconductor Devices and ICs (1990), p. 49
- 3) K. Tsuchiya, Y. Yoshida, G. Toda, Y. Nagayasu and Y. Shigeta: Proc. 2nd Int. Symp. Power Semiconductor Devices and Ics (1990), p. 60
- 4) D. Ueda, H. Takagi and G. Kano: IEEE Trans. Electron Devices 38 (1987), p. 926
- 5) A. Nakagawa, K. Watanabe, Y. Yamaguchi, H. Ohashi and K. Furukawa: IEEE IEDM (1986), p. 122
- 6) Y. Sugawara and T. Shimura: Ext. Abstr. Symp. High Voltage and Smart Power Devices, Electrochem. Soc. (1987), p. 123
- 7) S. Fujino, M. Matsui, H. Himi and T. Hattori : IEICE Technical Report, SDM91-196 (1992), p. 21
- 8) H. Himi, M. Matsui, S. Fujino and T. Hattori : Jpn. J. Appl. Phys. 33 (1994), p. 6
- 9) H. Yamaguchi, H. Himi, S. Fujino and T. Hattori : IEICE Technical Report, SDM92-144 (1993), p. 49
- 10) H. Yamaguchi, H. Himi, S. Fujino and T. Hattori : IEICE Trans. Electron., Vol. E75-C, No. 12 (1992), p. 1447



＜筆 者＞



山口 仁 (やまぐち ひとし)
 基礎研 3 部
 半導体集積回路・半導体パワー素子および誘電体分離技術に関する研究に従事。



氷見 啓明 (ひみ ひろあき)
 基礎研 3 部
 半導体集積回路・半導体パワー素子および誘電体分離技術に関する研究に従事。



服部 正 (はっとり ただし)
 基礎研 1 部
 半導体集積回路・半導体センサー・フラットパネルディスプレイ、およびマイクロマシーンに関する研究に従事。
 工学博士



藤野 誠二 (ふじの せいじ)
 IC 技術 1 部
 半導体集積回路・半導体センサーおよび半導体パワー素子に関する研究に従事。
 工学博士