

論文 MOS パワーデバイスにおける CONCAVE の効果*

Effects of the CONCAVE in MOS Power Devices

戸倉規仁

Norihito TOKURA

This paper describes the effects of the CONCAVE technology in power DMOSFET and IGBT. In DMOSFET, the CONCAVE structure formed by LOCOS-based process is very effective to eliminate JFET resistance without channel mobility degradation, resulting in remarkable on-resistance reduction. In IGBT, the CONCAVE structure enhances conductivity modulation in n^- base layer, resulting in considerable on-voltage decrease. The effects of the CONCAVE were analyzed by device simulation with considerations of device physics, and verified by measurements of the fabricated devices.

Key Words : Power MOSFET, IGBT, CONCAVE, On-Resistance, On-Voltage, Conductivity modulation

1. ま え が き

MOS パワーデバイスとして代表的なパワー-MOSFET と IGBT は、PLANAR 型を中心に微細加工技術の適用により低損失化が図られてきた¹⁾。微細加工の効果は、パワー-MOSFET においてはセル密度向上によるチャネル抵抗の低減¹⁾、IGBT においてはセル構造の最適化による導電率変調の促進に帰着される²⁾。しかし、これら PLANAR 型デバイスの低損失化には、その構造に起因する限界がある³⁾。この限界を突破することを狙った縦型チャネル構造を持つ非 PLANAR 型 MOS パワーデバイスとして、RIE により形成された深く垂直な溝を備える TRENCH 型⁴⁾と、LOCOS により形成された比較的浅く傾斜した溝を備える CONCAVE (くぼみ) 型^{5,6)} が報告されている。

パワー-MOSFET における縦型チャネルの効果は、JFET 抵抗の削除とセル密度向上によるチャネル抵抗の低減である⁷⁾。一方、IGBT における TRENCH 型チャネルのオン電圧低減の効果は、単に TRENCH 構造を採用しただけでは少なく⁸⁾、最近になってデバイス表面付近のキャリア濃度分布を考慮した TRENCH の構造設計を行えば大幅に低減されることが示された^{9,10,11)}。また、蓄積層を n^+ 層と見なした PIN ダイオードモデルの重要性も指摘されている¹¹⁾。

本論文では、デバイスシミュレーションと実験によ

り P ボディの接合深さと同程度で比較的浅い溝を持つ CONCAVE 型のパワー-MOSFET と IGBT の特性を調べ、PLANAR 型と比較することにより CONCAVE の効果を明らかにする。また、IGBT については IGBT 特有の導電率変調現象について詳しく解析する。

2. パワー-MOSFET

まず、シミュレーション解析により DMOSFET における CONCAVE の効果を PLANAR 型と対比して明確にする⁵⁾。次に、CONCAVE-DMOSFET の試作により低オン抵抗特性を検証すると共に、LOCOS 法により高チャネル移動度を側面に持つ CONCAVE が形成できることを示す⁶⁾。なお、二次元デバイスシミュレータに MEDICI を使用した¹²⁾。

2・1 DMOSFET における CONCAVE 効果のシミュレーション

DMOSFET のデバイスモデリングにおいて、 $1\ \mu\text{m}$ ルール相当の加工技術とドレイン耐圧 $BV_{DS} \approx 50\ \text{V}$ を前提として、デバイスパラメータをオン電圧が極小になる値に設定した。1/2 セルモデルの寸法は $4.7\ \mu\text{m} \times 6.0\ \mu\text{m}$ とし、ゲート酸化膜厚さ、チャネル長、ドリフト層キャリア密度は、 $50\ \text{nm}$ 、 $0.5\ \mu\text{m}$ 、 $1 \times 10^{16}\ \text{cm}^{-3}$ に設定した。図 1 (a), (b) に、オン状態における PLANAR-DMOSFET と CONCAVE-DMOSFET 内部のポテンシャル分布を示す。図 1 (a) の PLANAR 型は p ボディで挟まれたネック部 (JFET 部) に電圧降下が集中して JFET 抵抗 r_{JFET} が支配的であるのに対し、図 1 (b) の CONCAVE 型は深さ $0.9\ \mu\text{m}$ の CONCAVE に

*電気学会電子デバイス・半導体電力変換合同研究会資料 EDD-96-103/SPC-96-83 ('96.9.27) より転載

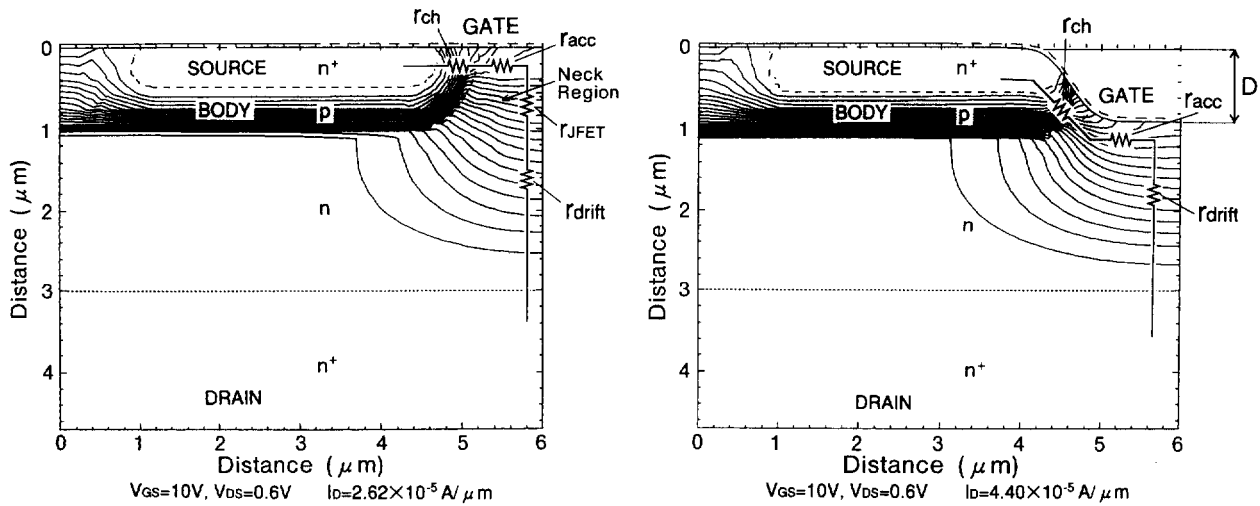


図1 オン状態における(a) PLANAR-DMOSFET と(b) CONCAVE-DMOSFET 内部のポテンシャル分布 (0.02 V ステップ) の比較。
 $V_{DS}=0.6\text{ V}$, $V_{GS}=10\text{ V}$

よりネック部の r_{JFET} が削除されて低オン抵抗化されることが分かる。図2に特性オン抵抗 R_{SP} と耐圧 BV_{DS} の CONCAVE 深さ D 依存性を示す。図より、 R_{SP} は D の増加に対して単調減少する傾向にあり、 $D=0\text{ }\mu\text{m}$ (PLANAR-DMOSFET 相当) のとき $R_{SP}=80\text{ m}\Omega\cdot\text{mm}^2$ 、 $D=0.9\text{ }\mu\text{m}$ のとき $50\text{ m}\Omega\cdot\text{mm}^2$ であり、CONCAVE によりオン抵抗が約40%低減されることが示された。

2・2 試作した CONCAVE-DMOSFET の特性

CONCAVE-DMOSFET の主要作製工程を図3に示す。(a)耐酸化性マスクとしての Si_3N_4 膜を堆積し、(b)選択酸化法 (LOCOS) により CONCAVE (くぼみ) を形成する。LOCOS 酸化膜をマスクとして(c)ボロンイオン注入・拡散と(d)砒素イオン注入・拡散を行い、

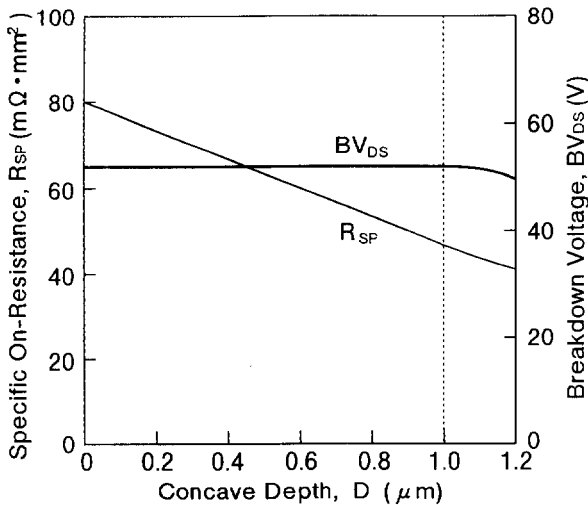


図2 CONCAVE-DMOSFET の特性オン抵抗とドレイン耐圧の CONCAVE 深さ依存性。

CONCAVE の側面に縦型チャネルを形成する。LOCOS 酸化膜を除去後(e)ゲート酸化膜を形成し、(f)ゲート電極、ソース・ドレイン電極を形成してデバイスを完成する。諸元等を表1にまとめて示す。

図4, 5に、試作した2.5 mm 角の CONCAVE-DMOSFET のチップ外観と、CONCAVE の断面 SEM 写真を示す。チップ上には、深さ $0.9\text{ }\mu\text{m}$ の CONCAVE を備えた $16\text{ }\mu\text{m}$ 角の四角形セルが13,135個集積されている。図6, 7に示す試作素子のオン特性

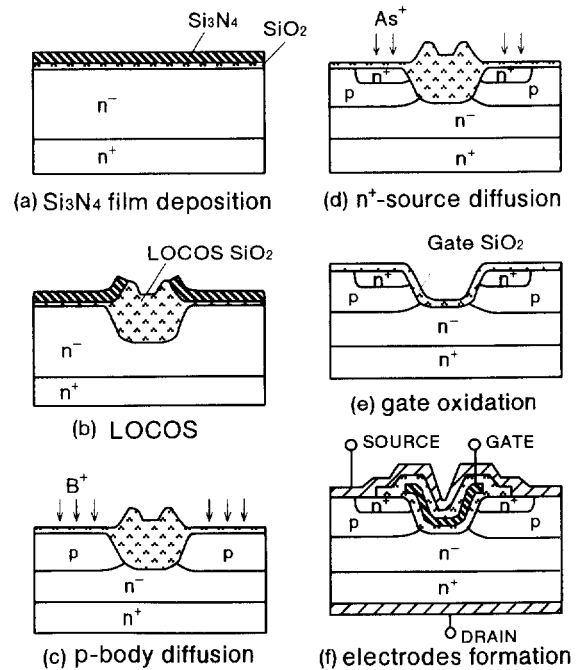


図3 CONCAVE-DMOSFET の主要作製工程

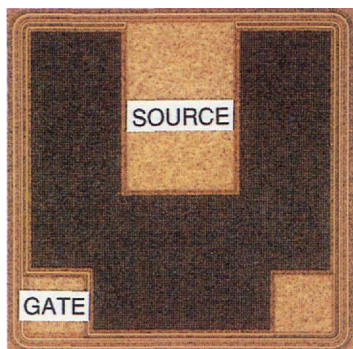


図4 作製した CONCAVE-DMOSFET のチップ外観. 外形寸法は 2.5 mm 角.

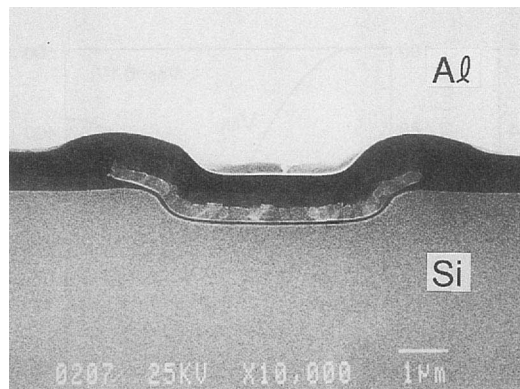


図5 CONCAVE の断面 SEM 写真.
CONCAVE 深さ/幅は 0.9 μm/4 μm.

表1 CONCAVE-DMOSFET の諸元

Chip size	: 2.5 mm × 2.5 mm
Active area	: 3.36 mm ²
Number of cells	: 13,135
Wafer	: (100) oriented, n ⁻ _{epi} /n ⁺ _{sub}
epilayer doping	: 1 × 10 ¹⁶ cm ⁻³ , n type
Cell pattern	: 16 μm × 16 μm (Square cell)
Concave width	: 4 μm
depth	: 0.9 μm
Gate oxide	: 60 nm
Channel length	: 0.5 μm

とブレイクダウン特性より, $R_{SP} = 75 \text{ m}\Omega \cdot \text{mm}^2$ (at $V_{GS} = 16 \text{ V}$), $BV_{DS} = 50 \text{ V}$ であり, 16 μm セルでは最も小さい特性オン抵抗値が得られ, CONCAVE のオン抵抗低減の効果を確認した. なお, 閾値電圧は 1.2 V (at $I_D = 1 \text{ mA}$) であった.

DMOSFET において CONCAVE の効果を生かす

には, チャネル移動度を低下させないことが重要である. 試作した素子の電気特性とデバイスシミュレーションを組み合わせ, (1) 式により算出したチャネル実効移動度 μ_{eff} の特性を図 8 に示す⁶⁾.

$$\mu_{eff} = (L/W) \cdot (t_{ox}/\epsilon_{ox}) \cdot (I_D/V_{ch}) / (V_{GS} - V_{th}) \quad (1)$$

ただし, V_{ch} はチャネルの電圧降下である. 図 8 より, μ_{eff} は 300 cm²/V·s 以上であり, PLANAR 並に高いことが確認できた.

以上述べたように, 高チャネル移動度が得られる CONCAVE 構造は, チャネル抵抗を増大させずに JFET 抵抗を削減する効果により, PLANAR 型に比べて大幅にオン抵抗を低減することができる.

3. IGBT

まず, オン時における n⁻ ベース層内の導電率変調特性について PLANAR-IGBT を例にとってシミュレーション解析し, デバイス内部の電位分布を決める

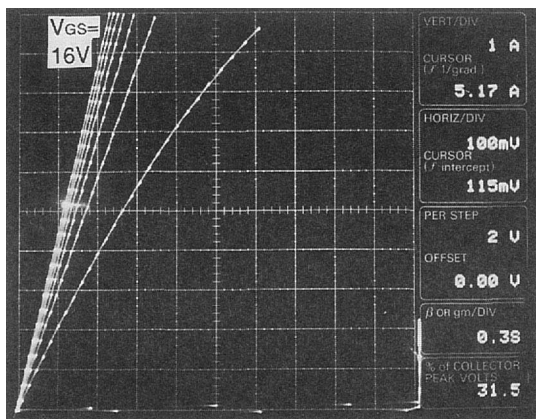


図6 CONCAVE-DMOSFET の I_D - V_{DS} 特性.

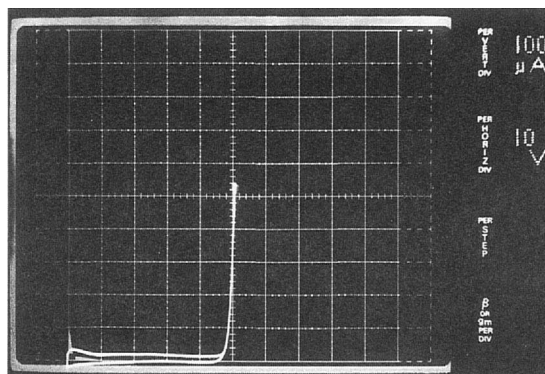


図7 CONCAVE-DMOSFET のブレイクダウン特性.

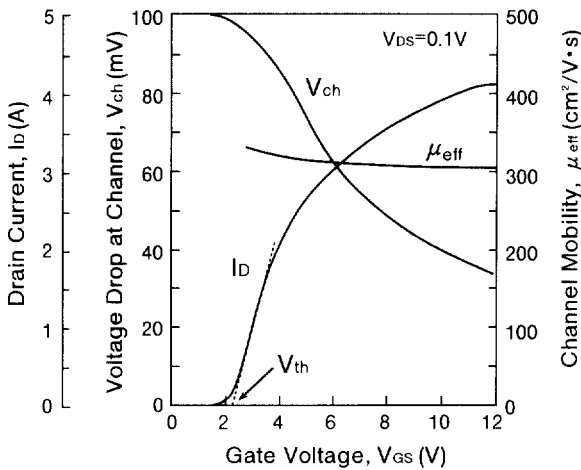
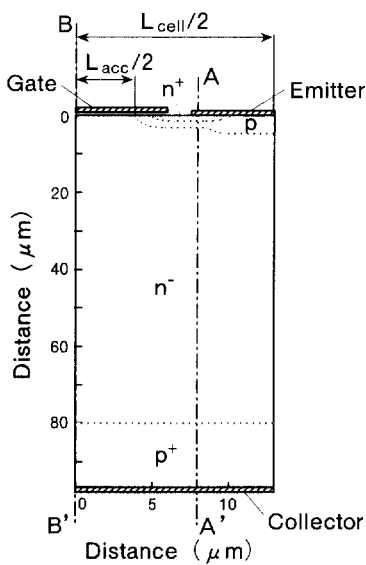


図8 作製した CONCAVE-DMOSFET のドレイン電流, チャネルの電圧降下, チャネル移動度のゲート電圧依存性.

要因, 並びに PIN ダイオード効果¹¹⁾ の機構を明確にする. 次に, CONCAVE と導電率変調の関係をシミュレーション解析し, 最後に CONCAVE の効果を試作デバイスにより検証する.

3・1 IGBT における導電率変調特性

図9(a)に, 縦 $96\ \mu\text{m}$, 横 $13\ \mu\text{m}$ ($=L_{\text{cell}}/2$, L_{cell} : セルピッチ), 奥行 $1\ \mu\text{m}$ の PLANAR-IGBT 1/2 セルのシミュレーションモデルを, 図9(b)に表面付近の詳細モデルを示す. モデルは構造が単純な非パンチスルー型とし, p^+ 基板上に厚さ $80\ \mu\text{m}$ の n^- ベース層を



配置し, この表面に接合深さが $2.5\ \mu\text{m}$ と $4\ \mu\text{m}$ の二つの領域が合成された p ボディ, 接合深さが $0.8\ \mu\text{m}$ で p ボディと自己整合した n^+ エミッタ, 厚さ $60\ \text{nm}$ のゲート酸化膜をそれぞれ配置した. 二重拡散されない領域の蓄積層幅 $L_{\text{acc}}/2$ は $2, 4.5, 7\ \mu\text{m}$ の3水準とした. 図9中の A-A' 線に沿った不純物密度分布を図10に示す. p ボディのピークキャリア密度は $1 \times 10^{17}\ \text{cm}^{-3}$, n^- ベース層の不純物密度とキャリア寿命は $1.5 \times 10^{14}\ \text{cm}^{-3}$, $0.25\ \mu\text{s}$ に設定した.

図11に I_C - V_{CE} 特性を示す. 図より, 蓄積層幅 $L_{\text{acc}}/2$ の拡張に対して電流駆動能力の増加は顕著であり, $I_C = 2 \times 10^{-5}\ \text{A}/\mu\text{m}$ (約 $150\ \text{A}/\text{cm}^2$ 相当) 時のオン電圧は $3.3\ \text{V}$ ($L_{\text{acc}}/2=2\ \mu\text{m}$), $2.1\ \text{V}$ ($4.5\ \mu\text{m}$), $1.8\ \text{V}$ ($7\ \mu\text{m}$) である. 閾値電圧は $2.8\ \text{V}$ である. 3水準の蓄積層幅に対するデバイス内部の電子の擬フェルミポテンシャル分布を図12(a)~(c)に示す. 図より, $L_{\text{acc}}/2$ を小さくすると p ボディで挟まれたネック部の電圧降下が急増してオン電圧を増加させることが分る. この関係は, パワー-MOSFET においてはセルの微細化により JFET 抵抗が急増し, オン抵抗が増大する現象に類似する. しかし, 図9中の B-B' 線に沿った電子密度分布を図13に示すように, IGBT には表面付近の電子分布が蓄積層幅に依存して大きく変化する現象が存在する.

そこで, 蓄積層幅 $L_{\text{acc}}/2=4.5\ \mu\text{m}$ の場合を例にとり, デバイスの内部動作を詳細に分析することにより IGBT における導電率変調現象を明確にする. 図9中

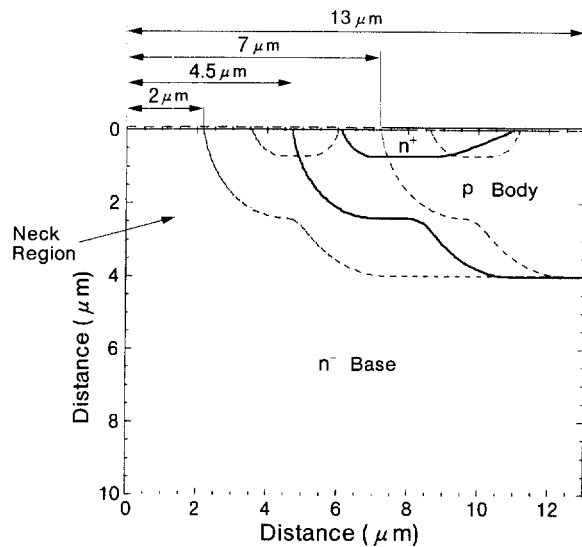


図9 PLANAR-IGBT の 1/2 セルシミュレーションモデル。(a)モデル全体の概略構造, (b)表面部分の詳細モデル(蓄積層幅 $L_{\text{acc}}/2$ は $2, 4.5, 7\ \mu\text{m}$ の3水準).

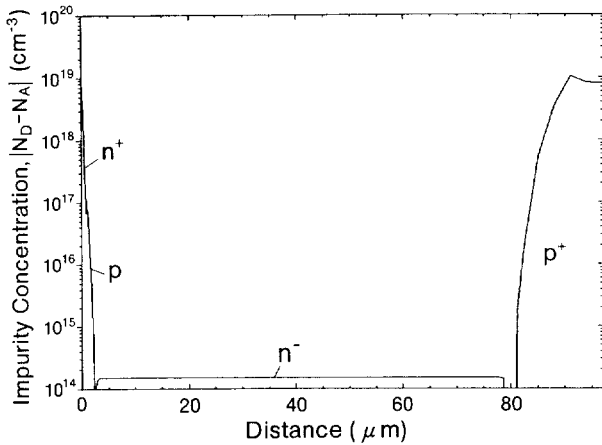


図10 図9中のA-A'線に沿った不純物密度分布

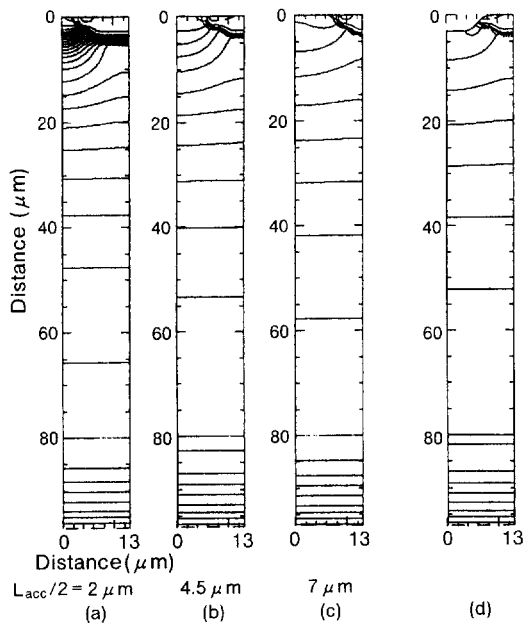


図12 $V_{GE} = 10V$, $I_C = 2 \times 10^{-5} A/\mu m$ 時の電子の擬フェルミポテンシャル分布 ($0.1V$ ステップ). (a)~(c): PLANAR-IGBT, (d): CONCAVE-IGBT.

のB-B'線に沿ったキャリア密度と電界強度の分布を図14に示す。図より、 $80\mu m$ の深さで p^+ 基板より n^- ベース層に約 $2 \times 10^{16} cm^{-3}$ のホールが注入され、ホール密度が $1/10$ (約 $2 \times 10^{15} cm^{-3}$)に低下する $20\mu m$ 付近までホールの拡散電流が支配的である。次に、深さ $20\mu m$ 以内では電界強度が高くドリフト電流が支配的であり、深さ $7\mu m$ 付近で最大値 $4 \times 10^2 V/cm$ をとり大きな電圧降下が発生する。そして、深さ $5\mu m$ 以内の表面付近では電界強度が急減し、電子の拡散電流が支配的である。このように、デバイスを縦断する通電

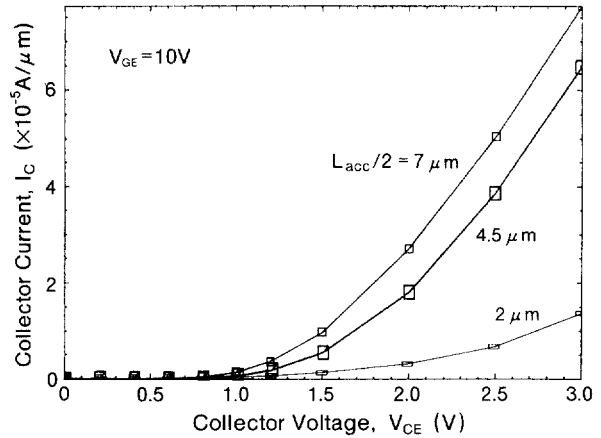


図11 $I_C - V_{CE}$ 特性

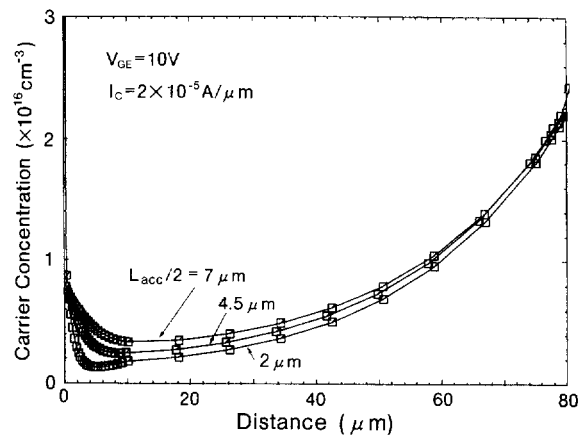


図13 図9中のB-B'線に沿った電子密度分布, $I_C = 2 \times 10^{-5} A/\mu m$.

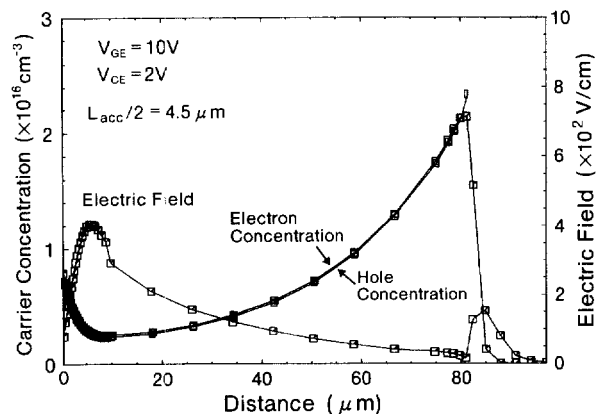


図14 図9中のB-B'線に沿ったキャリア密度と電界強度の分布, $L_{acc}/2 = 4.5\mu m$, $V_{GE} = 10V$, $V_{CE} = 2V$ ($I_C = 2 \times 10^{-5} A/\mu m$).

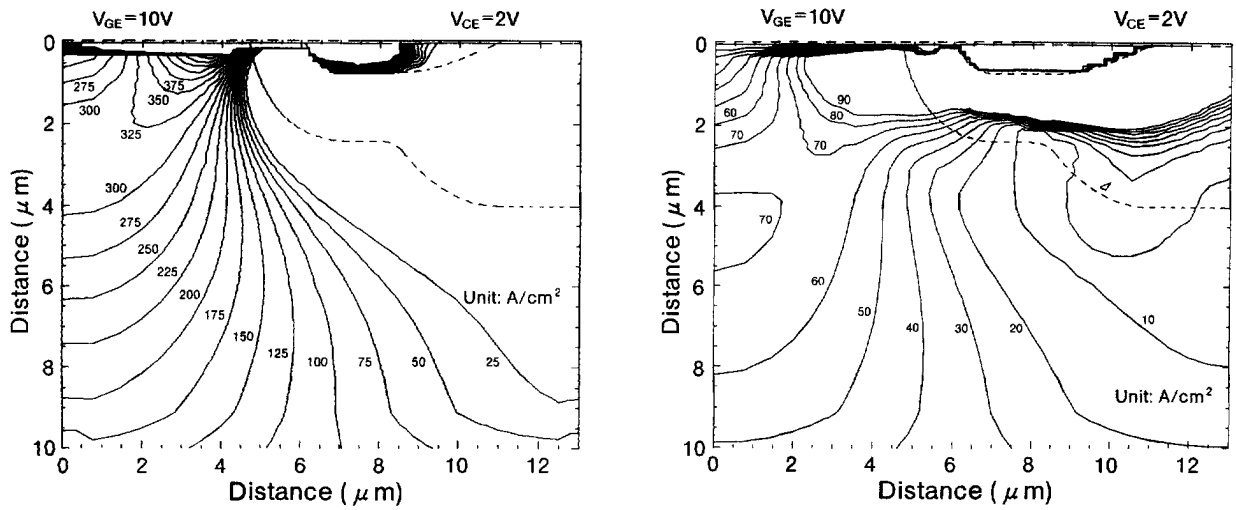


図 15 デバイス表面付近の(a)電子電流密度分布と、(b)ホール電流密度分布。 $V_{GE} = 10\text{ V}$, $V_{CE} = 2\text{ V}$ ($I_C \approx 2 \times 10^{-5}\text{ A}/\mu\text{m}$)。

電流の主成分は表面からの深さにより変化する。

図 12, 13 より、蓄積層幅の影響は深さ $10\ \mu\text{m}$ 以内の領域で顕著であり、図 14 より電子の拡散現象が深く関係すると考えられる。図 15 (a), (b)に、デバイス表面付近の電子とホールの電流密度分布を示す。図より、電子電流密度 J_e 、ホール電流密度 J_h は共にネック部において高く、 J_e が支配的である ($J_e/J_h \approx 4$)。 J_e はデバイスの平均電流密度 $150\ \text{A}/\text{cm}^2$ の 2 倍以上と高いが、この原因は電子の流路が蓄積層幅に狭窄されることによる。そこで、図 13 に示す表面付近の電子の濃度勾配 dn/dx と蓄積層幅 $L_{acc}/2$ の関係を考察する。

n^- ベース層の表面付近で支配的な電子の拡散電流 $I_{e(Shallow)}$ と電流密度 $J_{e(Shallow)}$ は (2), (3) 式で与えられ、(2), (3) 式から $J_{e(Shallow)}$ を消去して (4) 式を得る。

$$I_{e(Shallow)} \approx J_{e(Shallow)} \cdot (L_{acc}/2) \quad (2)$$

$$J_{e(Shallow)} = qD_e \cdot (dn/dx) \quad (3)$$

$$I_{e(Shallow)} = qD_e \cdot (dn/dx) \cdot (L_{acc}/2) \quad (4)$$

ここで D_e は電子の拡散係数である。(4) 式より、 $I_{e(Shallow)}$ 一定の下では dn/dx と L_{acc} は反比例の関係にある。この関係を検証するために、図 13 から読み取った表面近傍の dn/dx は 5×10^{19} ($L_{acc}/2 = 2\ \mu\text{m}$), 1.5×10^{19} ($4.5\ \mu\text{m}$), $0.75 \times 10^{19}\ \text{cm}^{-4}$ ($7\ \mu\text{m}$) であり、 $1.5 \times 10^{19}\ \text{cm}^{-4}$ を基準にとると $3.3 : 1 : 0.5$ の比であり、 L_{acc} の逆数比は $2.3 : 1 : 0.64$ で両者は比較的良く符合するから、(4) 式の成立が支持される。

続いて、表面付近で成立する (4) 式と n^- ベース層底部のホールの濃度勾配 dp/dx を結び付けて、 n^- ベース層全体の導電率変調特性を表現する式を導く。 n^-

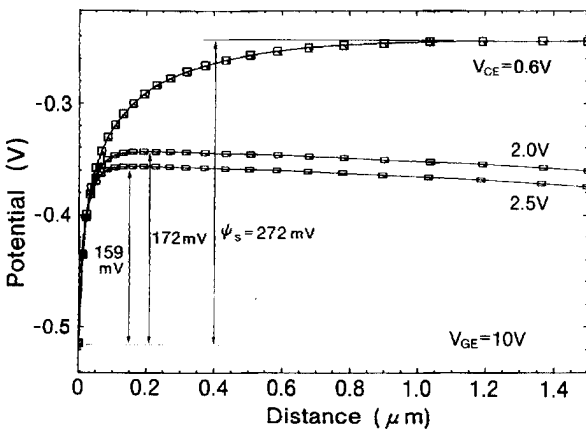


図 16 図 9 中の B-B' 線に沿った表面付近のポテンシャル (伝導帯端と同等) 分布。

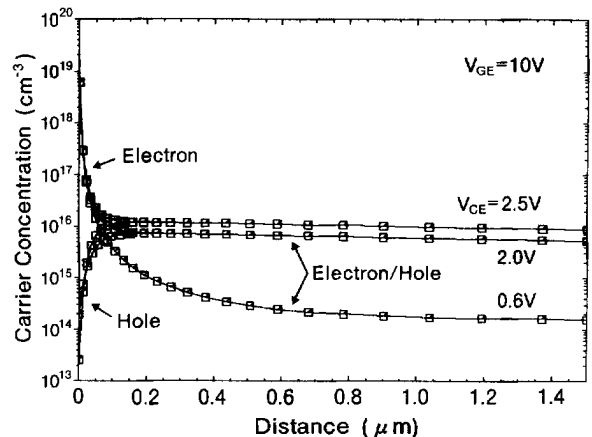


図 17 図 9 中の B-B' 線に沿った表面付近の電子とホールの密度分布。

ベース層の深い領域で支配的なホールの拡散電流 $I_{H(Deep)}$ と電流密度 $J_{H(Deep)}$ は (5), (6) 式で与えられ, (5), (6) 式から $J_{H(Deep)}$ を消去して (7) 式を得る.

$$I_{H(Deep)} = J_{H(Deep)} \cdot (L_{cell}/2) \quad (5)$$

$$J_{H(Deep)} = -qD_h \cdot (dp/dx) \quad (6)$$

$$I_{H(Deep)} = -qD_h \cdot (dp/dx) \cdot (L_{cell}/2) \quad (7)$$

ここで D_h はホールの拡散係数である. n^- ベース層の表面付近で支配的な $I_{H(Shallow)}$ と深い領域で支配的な $I_{H(Deep)}$ は, 共に通電電流の主成分であるから (8) 式が成立し, さらに (4), (7) 式を (8) 式に代入して, (9) 式を得る.

$$I_{H(Shallow)} \doteq I_{H(Deep)} \quad (8)$$

$$dn/dx = -(D_h/D_e) \cdot (L_{cell}/L_{acc}) \cdot (dp/dx) \quad (9)$$

(9) 式が n^- ベース層における導電率変調特性を与える式である. $L_{acc}/2 = 4.5 \mu\text{m}$ の場合, $D_h/D_e = 11/31 = 0.35$, $L_{cell}/L_{acc} = 13/4.5 = 2.9$ を (9) 式に代入して次式を得る.

$$dn/dx \doteq -dp/dx \quad (10)$$

図 14 から読み取った $dn/dx = -1.5 \times 10^{19} \text{cm}^{-4}$ と $dp/dx = 0.8 \times 10^{19} \text{cm}^{-4}$ の関係は, (10) 式が与える解と約 2 倍相違する. この不一致は, 図 15 (a) に示す電子電流密度の分布から, 実効的な流路の幅が $L_{acc}/2$ よりも狭いことに原因があると考えられる.

次に, IGBT における PIN ダイオード効果¹¹⁾, すなわち電界効果で誘起された電子蓄積層から n^- ベース層へキャリアが注入される現象について分析する. 図 9 中の B-B' 線に沿った表面付近のポテンシャル分布を図 16 に, 電子とホールの密度分布を図 17 に示す. 図 16, 17 より, コレクタ電圧 V_{CE} が 0.6, 2.0, 2.5 V へ増加すると, 蓄積層と n^- ベース層のエネルギー差

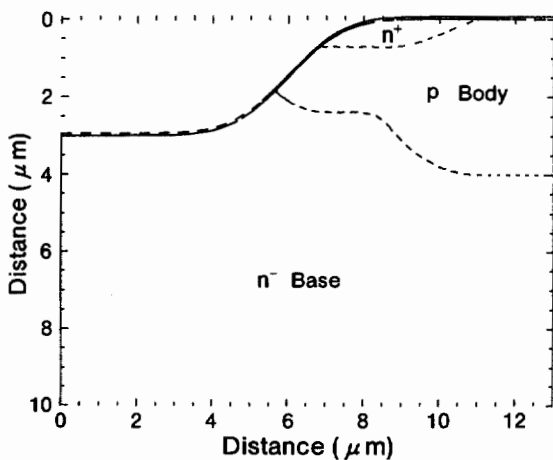


図 18 CONCAVE-IGBT の 1/2 セルシミュレーションモデルの表面部分.

で決まる表面ポテンシャル ψ_s は 272, 172, 159 mV に減少し, n^- ベース層内の深さ $1 \mu\text{m}$ での電子密度 n_b は 1.8×10^{14} , 6×10^{15} , $1 \times 10^{16} \text{cm}^{-3}$ へ増加する. n_b と蓄積層電子密度 n_{acc} ($=6 \times 10^{18} \text{cm}^{-3}$) の比 n_b/n_{acc} は, 3×10^{-5} , 1×10^{-3} , 1.7×10^{-3} である. ところで, 表面ポテンシャルの障壁を越えて蓄積層の電子が n^- ベース層へ注入したとすると, 蓄積層の電子密度 n_{acc} と n^- ベース層の電子密度 n_b に関して次式が成立する.

$$n_b/n_{acc} = \exp(-q\psi_s/kT) \quad (11)$$

(11) 式より, $T = 300 \text{K}$ のとき $\psi_s = 272, 172, 159 \text{mV}$ に対する n_b/n_{acc} は 0.7×10^{-5} , 0.6×10^{-3} , 1×10^{-3} であり, 図 16, 17 のシミュレーション結果と良く符合する. 従って, n^- ベース層の電子は, 電子蓄積層のホットキャリアが表面ポテンシャルを越えて供給された電子であり, この意味で蓄積層から n^- ベース層に電子が注入されたと言える. なお, 図 17 より表面からの深さが $0.1 \mu\text{m}$ 以内では電荷中性条件が崩れ, 表面ポテンシャルによりホールは排斥されて密度が急減し, 図 15 (b) よりホールは蓄積層から少し離れた位置を MOS 界面に平行に p ボディに向かって流れ去る.

3・2 CONCAVE-IGBT の動作解析

図 9, 10 に示した $L_{acc}/2 = 4.5 \mu\text{m}$ の場合の PLANAR-IGBT モデルを元にして, 表面構造をくぼみ形に変形した CONCAVE-IGBT のシミュレーションモデルを図 18 に示す. CONCAVE 深さは $3 \mu\text{m}$ である. $V_{GE} = 10 \text{V}$, $I_c = 2 \times 10^{-5} \text{A}/\mu\text{m}$ (約 $150 \text{A}/\text{cm}^2$ 相当) 時のオン電圧は 1.75V であり, PLANAR 型に比べて約 0.25V 低い. この理由は, 図 12 (d) に示す電子の擬フェルミポテンシャル分布から明らかのように, CONCAVE 構造によりネック部の電圧降下が

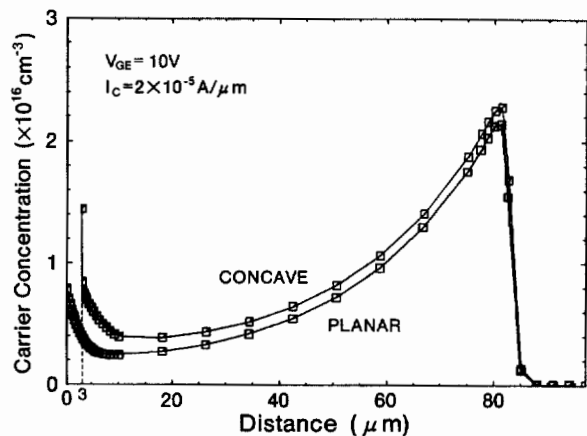


図 19 B-B' 線に沿った CONCAVE-IGBT と PLANAR-IGBT の電子密度分布の比較.

緩和されたことによる。

CONCAVEによるオン電圧低減効果を解析するために、デバイス内部の電子密度分布をPLANAR型と比較して図19に示す。図より、CONCAVEの溝構造により電子密度 $6 \times 10^{18} \text{ cm}^{-3}$ の蓄積層の位置がn-ベース層内部へ $3 \mu\text{m}$ 移動したことに加え、電子の濃度勾配が $1.5 \times 10^{19} \text{ cm}^{-4}$ から $0.8 \times 10^{19} \text{ cm}^{-4}$ に低下した相乗効果により、深さ $10 \mu\text{m}$ における電子密度が $0.23 \times 10^{16} \text{ cm}^{-3}$ から $0.4 \times 10^{16} \text{ cm}^{-3}$ に1.7倍増加し、ドリフト電流が支配的な深さ $5 \sim 20 \mu\text{m}$ の領域の導電率変調が促進される。この結果、図12(d)に示すようにネック部の電圧降下が大幅に緩和され、オン電圧が低減されたと結論付けられる。なお、CONCAVE-IGBTもPLANAR型と同様に(9)、(11)式に支配される。

3・3 試作した CONCAVE-IGBT の特性

CONCAVE-IGBTのウエハ構造はパンチスルー型とし、セルピッチ $24 \mu\text{m}$ 、CONCAVE幅 $10 \mu\text{m}$ 、CONCAVE深さは最大 $2.7 \mu\text{m}$ とした。作製プロセスは、

表2 CONCAVE-IGBTの諸元

Chip size	: $2.5 \text{ mm} \times 2.5 \text{ mm}$
Active area	: 1.13 mm^2
Wafer structure	: $n^-_{\text{base}}/n^+_{\text{buffer}}/p^+_{\text{sub}}$
n^- base layer	: $60 \mu\text{m}, 1.2 \times 10^{14} \text{ cm}^{-3}$
Cell pitch	: $24 \mu\text{m}$ (Stripe cell)
Concave width	: $10 \mu\text{m}$
depth	: MAX $2.7 \mu\text{m}$
Gate oxide	: 100 nm
Channel length	: $1 \mu\text{m}$
Lifetime control	: Electron irradiation

前述したCONCAVE-DMOSFETと同様である。ライフタイム制御には電子線照射を使用した。諸元等を表2にまとめて示す。図20, 21に、試作した 2.5 mm 角のCONCAVE-IGBTのチップ外観とCONCAVE型セルの断面構造の一例を示す。図22, 23にオン特性とブレイクダウン特性を示す。図22より、 $V_{GE} = 15 \text{ V}$ 時のオン電圧 V_{on} は 1.9 V (at $I_C = 1.7 \text{ A}, 150 \text{ A/cm}^2$ 相当)、 1.6 V (at $1.1 \text{ A}, 100 \text{ A/cm}^2$ 相当)であり、

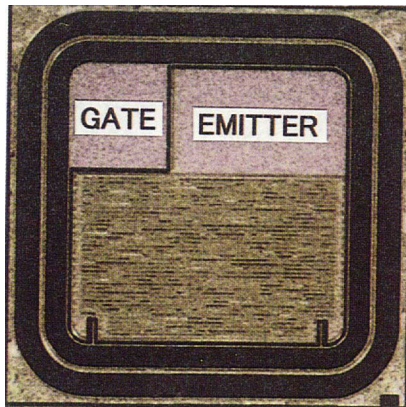


図20 作製した CONCAVE-IGBT のチップ外観。外形寸法は 2.5 mm 角。

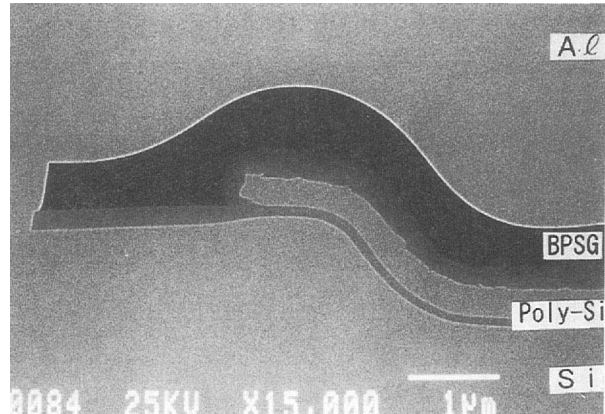


図21 CONCAVEの断面SEM写真の一例 (CONCAVE深さは $1.3 \mu\text{m}$)。

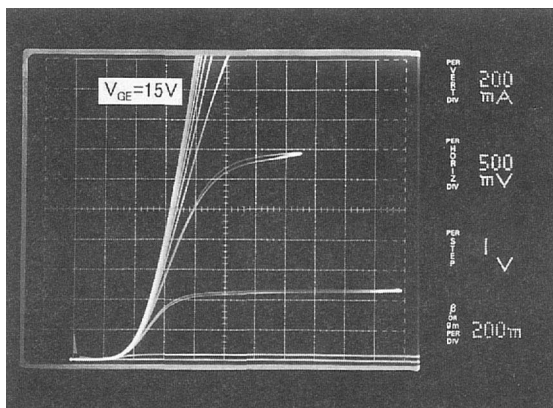


図22 CONCAVE-IGBTの I_C-V_{GE} 特性。

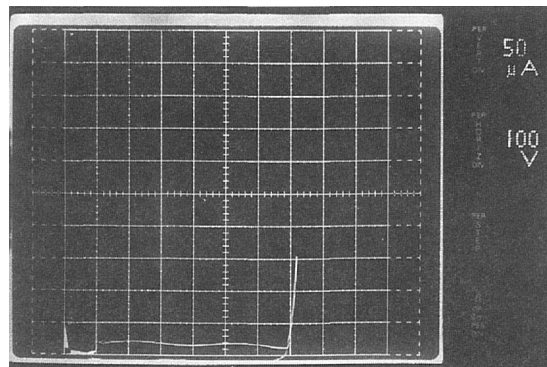


図23 CONCAVE-IGBTのブレイクダウン特性。

変調現象等の IGBT に特有な動作機構を、シミュレーション解析により明確化した。

〈参 考 文 献〉

- 1) B. J. Baliga : "Revolutionally innovations in power discrete devices", *Tech. Dig. IEDM '86* (1986), p. 102
- 2) 高田 : "IGBT 最先端—デバイスからモジュールまで", 電気学会 先端技術セミナーテキスト (1995), p. 17
- 3) T. Laska, A. Porst, H. Brunner, and W. Kiffe : "A low loss/highly rugged IGBT-generation — based on a self aligned process with double implanted N/N⁺-emitter", *Proc. ISPSD '94* (1994), p. 171
- 4) D. Ueda, H. Takagi, and G. Kano : "A new vertical power MOSFET structure with extremely reduced on-resistance", *IEEE Trans. Electron Devices*, vol. ED-32 (1991), p. 2
- 5) N. Tokura, S. Takahashi, and K. Hara : "The DMOS consisting of channel region defined by LOCOS (LOCOS-DMOS) : A new process/device technology for low on-resistance power MOSFET", *Proc. ISPSD '93* (1993), p. 135
- 6) N. Tokura, T. Yamamoto, M. Kataoka, S. Takahashi, and K. Hara : "CONCAVE-DMOSFET : A new super-low on-resistance power MOSFET", *Jpn. J. Appl. Phys.*, vol. 34, part 1 (1995), p. 903
- 7) 松本, 大野, 石井, 吉野, 泉 : "トレンチコンタクトを有する超低オン抵抗セルフアライン型 UMOS", 電気学会 電子デバイス・半導体電力変換合同研究会資料, EDD-92-91/SPC-92-57 (1992), p. 75
- 8) M. Otsuki, S. Momota, A. Nishiura, and K. Sakurai : "The 3rd generation IGBT toward a limitation of IGBT performance", *Proc. ISPSD '93* (1993), p. 24
- 9) M. Kitagawa, I. Omura, S. Hasegawa, T. Inoue, and A. Nakagawa : "A 4500V injection enhanced insulated gate bipolar transistor (IEGT) operating in a mode similar to a Thyristor", *Tech. Dig. IEDM '93* (1993), p. 679
- 10) 原田, 湊, 高田, 中村 : "600 V トレンチ IGBT (II)

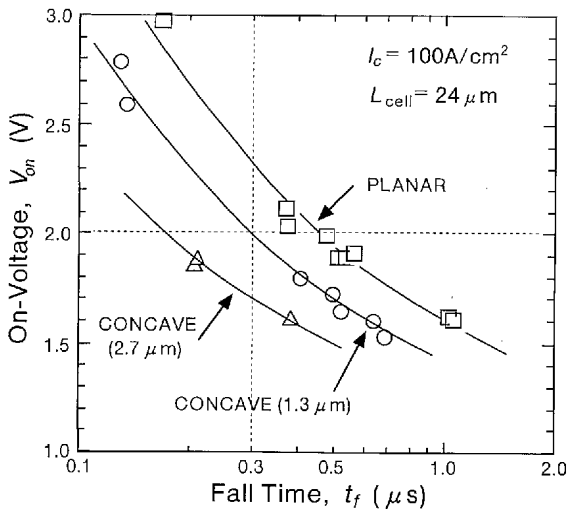


図 24 作製した CONCAVE-IGBT と PLANAR-IGBT の V_{on} - t_f 特性.

図 23 より耐圧は 710 V であった。また、スイッチング時のフォール時間 t_f は 0.4 μs 、閾値電圧は 5.4 V であった。

IGBT における CONCAVE の効果を検証するために、CONCAVE 深さ 1.3 μm 、2.7 μm の 2 水準の CONCAVE-IGBT と、同一条件で作製した PLANAR-IGBT のオン電圧 V_{on} -フォール時間 t_f のトレードオフ特性を図 24 に示す。図より、 $t_f=0.3 \mu\text{s}$ 、 $I_c=100 \text{ A/cm}^2$ の場合のオン電圧は、PLANAR 型 ($V_{on}=2.35 \text{ V}$)、CONCAVE 型 1.3 μm (2.0 V)、CONCAVE 型 2.7 μm (1.7 V) の順に低く、CONCAVE がオン電圧低減に効果的であることが実験においても検証された。

4. ま と め

パワー-MOSFET における CONCAVE の効果は、オン抵抗の主成分である JFET 抵抗の削除によりオン抵抗が低減されることを定量的に示した。さらに、LOCOS により CONCAVE を形成すればプレーナ並に移動度が高い縦型チャネルが得られ、チャネル抵抗増大の問題が生じないことを示した。

一方、IGBT における CONCAVE の効果は、電子蓄積層の位置を CONCAVE 深さだけデバイス内部へ移動し、電子濃度勾配の緩和による表面付近の電子密度の増加を凶り、導電率変調の促進によりオン電圧が低減されることを定量的に示した。また、蓄積層から n-ベース層への電子注入現象や、n-ベース層内の導電率

(性能限界)”, 電気学会 電子デバイス・半導体電力変換合同研究会資料, EDD-94-49/SPC-94-71 (1994), p. 85

11) F. Udrea and G. A. J. Amaratunga: “Theoretical and numerical comparison between DMOS

and trench technologies for insulated gate bipolar transistors”, *IEEE Trans. Electron Devices*, vol. 42 (1995), p. 1356

12) TMA MEDICI, Ver. 1. 1, 1993



〈著 者〉



戸倉 規仁 (とくら のりひと)

基礎研2部 (97年より電子開発部)

MOS パワーデバイスの研究開発に従事.

工学博士.