

論文 超薄膜 SOI-CMOS におけるフローティングバックゲートを用いたしきい値電圧制御*

Threshold Voltage Control Using Floating Back Gate for Ultra-Thin-Film SOI-CMOS

藤野 誠二 鶴田 和弘 浅井 昭喜
Seiji FUJINO Kazuhiro TSURUTA Akiyosi ASAI

With the fully depleted ultra-thin-film SOI-CMOS, one important issue is controlling the threshold voltage (V_{th}) while maintaining high speed operation and low power consumption. To control the V_{th} , applying a bias voltage to the substrate is one of the most practical method. We suggest a fully depleted ultra-thin-film SOI-CMOS with a floating back gate, which is formed at the lower part of the channel field inside the substrate and stores electrons injected into it. This device can eliminate the necessity of an extra circuit or a separate power supply to apply a negative voltage. The silicon wafer direct bonding technique is used to construct this device. With the prototyped devices, we can successfully control the V_{th} for both the nMOSFET and pMOSFET at around ± 0.5 V by controlling the quantity of the electric charges injected into the floating back gate.

Key Words ; SOI, Threshold Voltage, Wafer Direct Bonding, Floating Back Gate, Electric Charge Injection, Ring Oscillator

1. 緒 言

完全空乏化された超薄膜 SOI-CMOS はその構造的要因からくる優れた特性から将来の ULSI に有望なデバイスと考えられている^{1)~3)}。まずソース、ドレイン部の PN 接合面積がバルク CMOS に比べて 1/30~1/40 になる。PN 接合にはコンデンサの性質があり容量成分が存在する。すなわち PN 接合の面積を小さくすることによって寄生容量を低減することができ、このため素子の高速動作が可能となる。さらに動作速度が同じならば電源電圧を低く設定することができ、LSI の低消費電力化が可能となる。またリーク電流が PN 接合面積に比例して減少するので低消費電力化のみならず高温域での使用が可能となる。さらに各素子間の分離においてバルク-CMOS のような N ウェル、P ウェルを必要としない。このため素子そのものの寸法が同じであっても、LSI としては分離領域が不要となり、高集積化を実現することができる。その他、各素子が絶縁分離されていることによってラッチアップフリー、チャンネル領域の垂直方向電界の低減、チャンネル

領域の低不純物濃度化といった理由から超薄膜 SOI-CMOS では原理的に高速動作、低消費電力動作、高集積化、耐熱性といった種々の性能向上が期待できる。

しかしながら超薄膜 SOI-CMOS の実用化には結晶性に優れた大口径の SOI ウェハが必要となる。またデバイス特性上の課題としては、ホットキャリア耐性、ソースドレイン間耐圧（寄生バイポーラ動作の抑制）、しきい値電圧の制御性を挙げることができる。ここでは超薄膜 SOI デバイスの特性上の課題として特に重要なしきい値電圧制御を取り挙げる。

MOSFET のしきい値電圧 (V_{th}) は一般的に電源電圧の 1/5 程度が要求される。今、電源電圧が 3 V 以下を想定すると、 V_{th} は 0.2~0.6 V に制御することになる。通常の n⁺Poly-Si ゲートを用いた場合、超薄膜 SOI における NchMOSFET の V_{th} は空乏層内の総電荷量が制限されていることからあまりにも低くなる。一方、PchMOSFET の V_{th} は仕事関数差から決まるためあまりにも高くなる。

この問題を解決する方法としてデュアルゲート構造が提案されている⁴⁾。一方は NchMOSFET には p⁺Poly-Si ゲート、PchMOSFET には n⁺Poly-Si ゲートを用いる。他方は逆に NchMOSFET には n⁺Poly-Si

*IEICE Trans. on Electronics, vol. E78-C, no12, (1995)
より和文翻訳、加筆にて転載

ゲートを, PchMOSFET には p+Poly-Si ゲートを用いる方法である. 前者の場合, NchMOSFET, PchMOSFET の V_{th} は仕事関数差によって決定されるため両者とも高くなりすぎる. また, この方法ではホットキャリア信頼性が懸念される. 後者の場合, V_{th} は適正な値が得られる. しかしチャンネル領域の不純物濃度が完全空乏化限界に近い 10^{17} cm^{-3} レベルまで高くなってしまふ. このことはチャンネル移動度が低下する, SOI 層の厚さばらつきによって V_{th} が変動し易くなるといった問題が発生する.

一方, 基板にバイアス进行ける方法は単一の n+Poly-Si ゲートを用いた場合でもしきい値電圧を有効に制御することができる. すなわち基板に負のバイアス进行けた場合, NchMOSFET の V_{th} は高い方へ, PchMOSFET の V_{th} は低い方へシフトさせることができる. この方法を実現させるには二つの方法が考えられる. 一つは外部電源によって負の電圧を基板に供給する方法であり, 他方は LSI チップ内に電源回路を内蔵させる方法である. 前者の方法は別電源が必要となることから非現実的である. 後者の方法もまたチップサイズの増大, 消費電力の増大を招くことになり非実用的である.

そこで我々は基板内部に電子を蓄積させることによって, 基板に負のバイアス进行加する方法を提案する. この方法では超薄膜 SOI-CMOS にフローティングバックゲートを設ける. このフローティングバックゲートはチャンネル領域下部において基板内部に電子を蓄積する電極で, 電荷抜けを防止するため周囲が絶縁されている. このような構造とすることで単一の n+Poly-Si ゲートを用いた場合でもチャンネル領域の不純物濃度を低くして, しきい値電圧を有効に制御することができる. よってこの方法ではチャンネル移動度の改善, SOI 層の膜厚ばらつきに起因する V_{th} の変動を抑制することが期待できる. またこの方法は製造工程を通して引き起こされる V_{th} の変動を修正することが可能である.

本論文ではシリコンウェハの直接接合技術を用いたフローティングバックゲート構造の製造方法, フローティングバックゲートへの電荷注入方法およびフローティングバックゲートを有する超薄膜 SOI-CMOS のしきい値電圧制御について論じる.

2. 電荷の蓄積方法とデバイス構造

2.1 蓄積させる電荷総量の見積もり

超薄膜 SOI-MOSFET の V_{th} を表す理論式はバルクに比べて非常に複雑となり Lim らによってそのモデルが提案されている⁵⁾.

$$V_{th} = V_{FBf} + \{1 + C_s C_{ob} / [C_{of}(C_s + C_{ob})]\} + q N_A T_{soi} (C_s + C_{ob} / 2) / [C_{of}(C_s + C_{ob})] - C_s C_{ob} (V_{sub} - V_{FBb}) / [C_{of}(C_s + C_{ob})] \quad (1)$$

ここで, V_{FBf} : SOI 層表面のフラットバンド電圧

V_{FBb} : SOI 層裏面のフラットバンド電圧

C_s : SOI 層の空乏容量

C_{of} : ゲート酸化膜容量

C_{ob} : 埋め込み酸化膜容量

N_A : チャンネル濃度

T_{soi} : SOI 膜厚

V_{sub} : 基板電位

また (1) 式第 1 項の SOI 層表面のフラットバンド電圧は下記式で表される.

$$V_{FBf} = \Phi_M - \Phi_s - Q_{ss} / C_{of} \quad (2)$$

ここで, Φ_M : ゲート電極の仕事関数

Φ_s : SOI 層の仕事関数

Q_{ss} : 界面準位密度

まず電極材料としては通常用いられる n+Poly-Si ゲートを想定した. 次に NchMOSFET, PchMOSFET のしきい値電圧は (1) 式中の V_{sub} 項をフローティングバックゲートと基板間の容量およびフローティングバックゲート内に蓄積された電荷密度によって決定されるポテンシャルと見なすことによって計算した. また計算に用いた他のパラメータを表 1 に示す.

Table 1 Parameter values of ultra-thin-film SOI MOSFET

Parameter		Value
Thickness of front gate oxide	Tof	13 nm
Thickness of upper buried oxide	Toub	350 nm
Thickness of lower buried oxide	Tolb	100 nm
Thickness of SOI layer	Tsoi	80 nm
Acceptor concentration in SOI layer	N_A	$5 \times 10^{16} \text{ cm}^{-3}$
Donor concentration in SOI layer	N_D	$1 \times 10^{15} \text{ cm}^{-3}$
Density of fixed charges at front interface	Nff	$5 \times 10^{10} \text{ cm}^{-3}$
Density of fixed charges at back interface	Nfb	$1 \times 10^{11} \text{ cm}^{-3}$
Fast interface state density at front interface	Dfit	$1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$
Fast interface state density at back interface	Dbit	$5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$
Work function difference at front interface	Φ_{msf}	-0.95 V
Work function difference at back interface	Φ_{msb}	-0.95 V

図1に計算によって求められたしきい値電圧とフローティングバックゲート内に蓄積された電荷密度との関係を示す。NchMOSFETのチャネル領域における不純物濃度が $5 \times 10^{16} \text{ cm}^{-3}$ 、PchMOSFETのチャネル領域における不純物濃度を $1 \times 10^{15} \text{ cm}^{-3}$ としたとき、それぞれのしきい値電圧を $\pm 0.5 \text{ V}$ 近傍に制御するにはフローティングバックゲート内に蓄積する電荷密度が 10^{-7} C/cm^2 オーダー必要であることが判る。

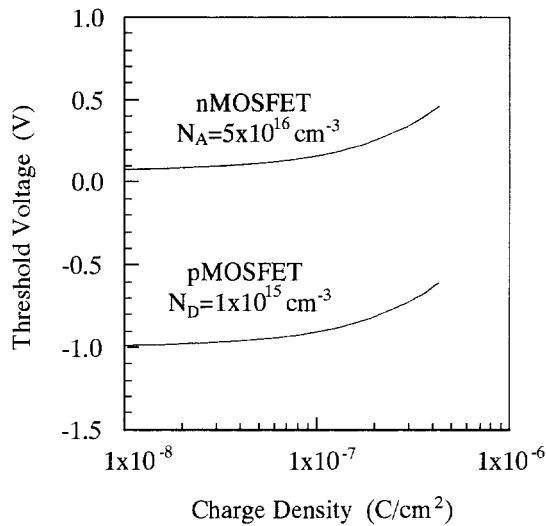


Fig. 1 Dependence of threshold voltage change on electric charge density

2.2 デバイス構造

図2にフローティングバックゲートおよび電荷注入領域を有する超薄膜SOI-CMOSの断面構造を示す。ここで電荷注入領域はMOSキャパシタおよびMOSキャパシタとフローティングバックゲートを連結させる電極から構成される。電子はF-Nトンネル法によって電荷注入領域の薄い酸化膜を通してフローティングバックゲート内に注入される。

F-Nトンネル注入に必要な酸化膜の面積を算出す

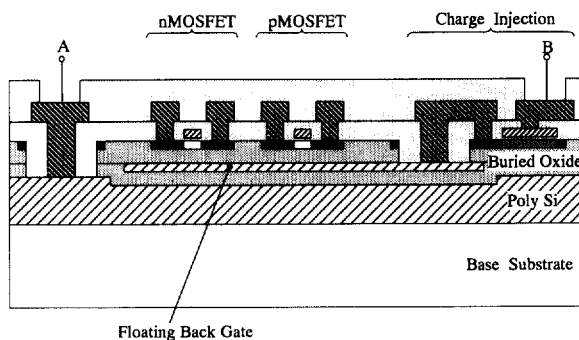


Fig. 2 Cross-sectional view of the proposed ultra-thin-film SOI CMOS with the floating back gate

る。LSIのチップサイズが 10 mm 角、フローティングバックゲートの面積がほぼ同程度と想定すると、蓄積すべき電荷総量は上述の電荷密度から 10^{-7} C 程度が必要となる。F-Nトンネル注入時において酸化膜の絶縁破壊に対する最大許容電荷密度は 10^0 から 10^1 C/cm^2 であることが知られている⁶⁾。フローティングバックゲートへ蓄積すべき電荷総量を上記最大許容電荷密度で割ると、F-Nトンネル注入に必要な酸化膜の面積は数 μm 角あれば十分であることが判る。

3. フローティングバックゲート構造の形成方法

フローティングバックゲートを有する超薄膜SOI-CMOSの製造方法としては基板内部への電極形成が可能なシリコンウェハの直接接合技術を用いた。その工程を図3に示す。SOI層に用いたシリコンウェハは比抵抗 $10 \sim 15 \Omega\text{cm}$ 、6インチ径、P型(100)ウェハを使用した。

- (a) まず選択研磨の際にストップとなる段差 $0.3 \mu\text{m}$ を前述のシリコンウェハ表面に形成した後、上部埋め込み酸化膜を $0.35 \mu\text{m}$ 形成する。ここで上部埋め込み酸化膜は厚さ 13 nm の熱酸化膜を形成後、LP-CVD法によって酸化膜を $0.337 \mu\text{m}$ 堆積させた複合膜からなる。このように上部酸化膜を厚くした理由は図3(e)のSOI層形成工程における選択研磨のエッチングストップとしての働きをさせるためであり、ストップとしての十分なマージンを考慮した結果である。
- (b) フローティングバックゲート用の $\text{n}^+\text{Poly-Si}$ を $0.3 \mu\text{m}$ 成膜した後、しきい値電圧を制御すべきデバイス領域に応じてパターンニングする。さらにフローティングバックゲート表面に下部埋め込み酸化膜をLP-CVD法によって $0.35 \mu\text{m}$ 堆積した。
- (c) 支持基板としてのシリコンウェハと上述のSOI層を形成するシリコンウェハを直接接合させるためフローティングバックゲートを形成したシリコンウェハ上にPoly-Si膜を $5 \mu\text{m}$ 堆積させた後、研磨によって表面を平坦にする。
- (d) 支持基板としてはSOI層を形成するシリコンウェハと同様の比抵抗 $10 \sim 15 \Omega\text{cm}$ 、6インチ径、P型(100)ウェハを使用した。支持基板の表面と前述の研磨によって平坦化した表面を直接接合法によって接合する⁷⁾。
- (e) SOI層を形成する側のシリコンウェハ裏面より研削し、続いて選択研磨することでシリコンウェハ

を薄膜化し、最終的には素子分離用の酸化膜による段差分だけを残すことによって超薄膜 SOI 層を得る。

以上の工程によって得られた超薄膜 SOI 層の膜厚は光学式膜厚計で評価したところ 6 インチウェハ全面で $0.1 \pm 0.03 \mu\text{m}$ であった。

このようにして形成した超薄膜 SOI 基板を用い、その後のデバイス工程の中で SOI-CMOS、電荷注入用の MOS キャパシタ、フローティングバックゲートへのコンタクト電極等を形成する。ここで MOS キャパシタは NchMOSFET と同時工程で形成され、ゲート Poly-Si、厚さ 13 nm のゲート酸化膜、 n^+ ゲートオーバーラップ層からなる。フローティングバックゲートへ蓄積させる電子はゲート Poly-Si と n^+ ゲートオーバーラップ層間のゲート酸化膜を通して F-N トンネリングによって注入する。その時のバイアス条件としては図 2 中の A 端子を GND、B 端子に負の定電流源を接続して注入する。フローティングバックゲートへ蓄積させる電子の総量は注入時間によって制御した。

図 4 に試作したフローティングバックゲートを有する超薄膜 SOI-CMOS の断面 TEM 写真を示す。MOS-

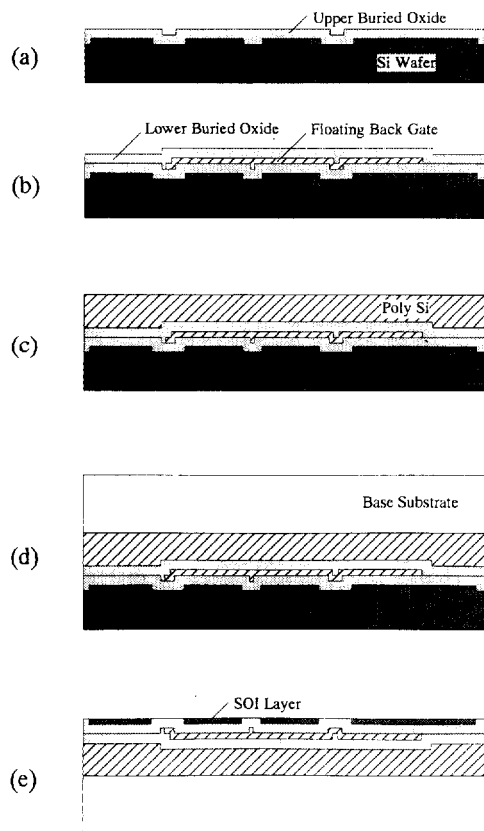


Fig. 3 Fabrication process of the ultra-thin-film SOI substrate with the floatin back gate

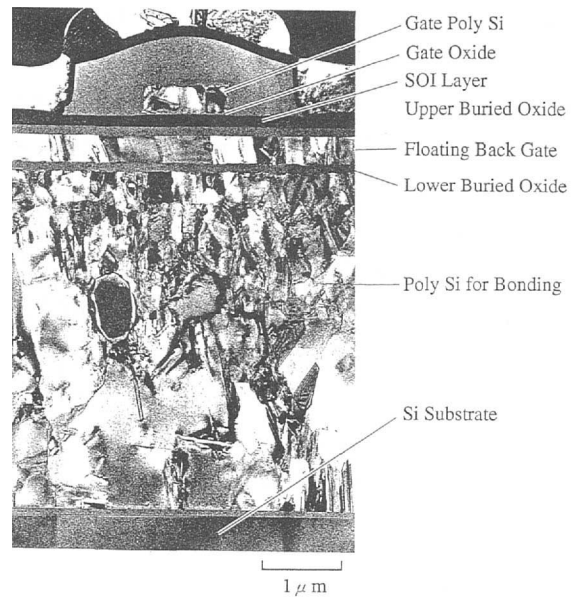


Fig. 4 Cross-sectional TEM image of the prototyped ultra-thin-film SOI CMOS with the floating back gate

FET の下部に上部埋め込み酸化膜と下部埋め込み酸化膜で分離されたフローティングバックゲートが形成されている。また、その下に Poly-Si 層を介して直接接合された支持基板としてのシリコン基板が見られる。

4. デバイス特性

試作した超薄膜 SOI-CMOS に対してフローティングバックゲートへ注入した電荷密度としきい値電圧との関係を図 5 に示す。ここで PchMOSFET のチャンネル部にはチャンネルイオン注入はせず、不純物濃度としては P 型ウェハそのままの $2 \times 10^{15} \text{cm}^{-3}$ 程度である。

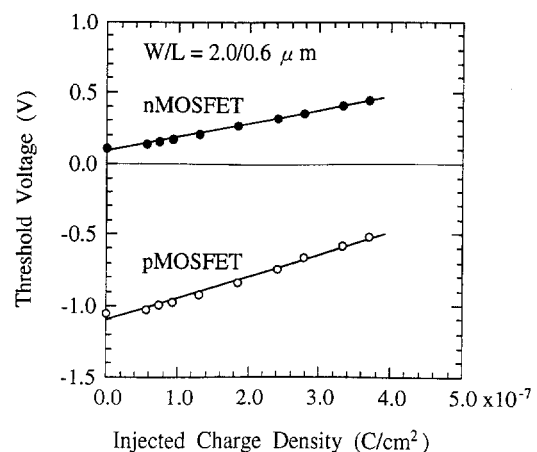


Fig. 5 Dependence of the threshold voltage on charge density injected into the floating back gate

さらに NchMOSFET のチャンネル部にはチャンネルイオン注入として P 型ウェハにボロンを 6×10^{11} dose/cm² 注入し、不純物濃度としては 2×10^{16} cm⁻³ 程度である。また NchMOSFET, PchMOSFET のトランジスタサイズは $2.0 \times 0.6 \mu\text{m}$ ($W \times L$) である。これよりしきい値電圧の初期値としては NchMOSFET で +0.1 V, PchMOSFET では -1.1 V である。図から明らかなように注入した電荷密度としきい値電圧との関係は NchMOSFET, PchMOSFET とも良い線形性を示している。しかし両者の直線の傾きは (1) 式から考えるとチャンネル不純物濃度によらず同じ傾きになると予想される。図 5 によれば PchMOSFET の傾きがより急峻となっており、この原因については現在のところ不明である。図 5 から明らかなように電荷密度が 3.7×10^{-7} C/cm² で両者のしきい値電圧はほぼ ± 0.5 V が得られている。

ここでフローティングバックゲートへの注入電荷量が増大すると、NchMOSFET では SOI 層裏面に蓄積層が形成され静特性においてキック出現、PchMOSFET では SOI 層裏面に反転層が形成されサブスレ

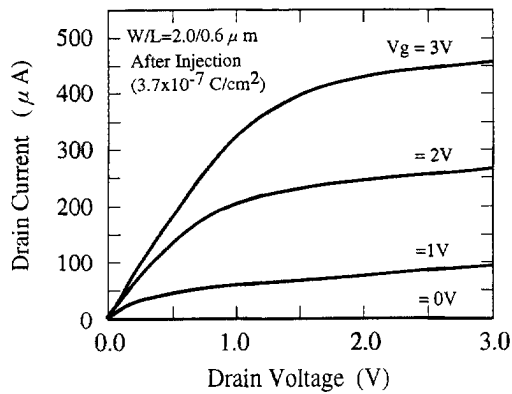


Fig. 6 I-V characteristic of the nMOSFET after charge injection

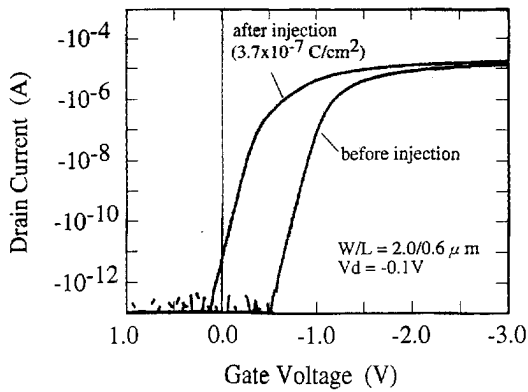


Fig. 7 Subthreshold characteristic of the pMOSFET after charge injection

ショルド特性の悪化が懸念される。そこでフローティングバックゲートへの注入電荷密度が 3.7×10^{-7} C/cm² における NchMOSFET の I-V 特性, PchMOSFET のサブスレショルド特性を評価し、それぞれ図 6, 図 7 に示す。NchMOSFET の I-V 特性にキックは見られず、完全空乏化が維持されている。また PchMOSFET のサブスレショルド特性に関してはフローティングバックゲートへ電荷を注入しない初期特性に比べて若干の悪化 (S 値として 71 mV/dec. が 82 mV/dec. に悪化) が見られる。さらに PchMOSFET のショートチャンネル効果を評価した結果を図 8 に示す。図から明らかなようにフローティングバックゲートへ電荷を注入しない初期特性に比べて $0.1 \mu\text{m}$ 程度悪化した。このように注入電荷量をさらに増大させると上述の問題が顕著になることが予想されるが、SOI 層の膜厚をさらに薄くする、上部埋め込み酸化膜を薄くする等の構造設計的手法によって改善できると考えられる。

次にフローティングバックゲートの電荷保持特性を評価した。フローティングバックゲートに電荷を注入

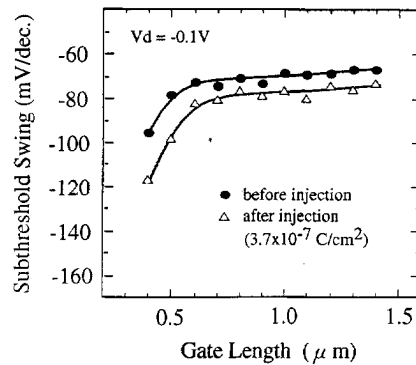


Fig. 8 Subthreshold swing of the pMOSFET after charge injection

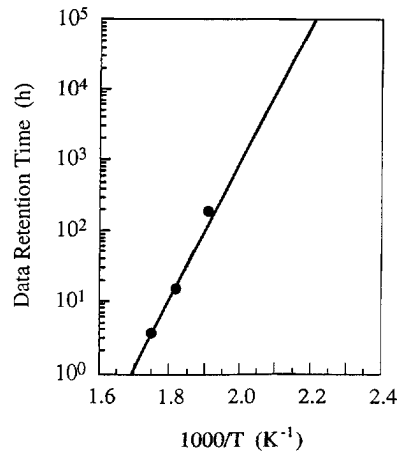


Fig. 9 Data retention time of the floating back gate

し、しきい値電圧が5%低下するまでの放置時間を種々の環境温度に対して測定し、アレニウスプロットすると図9のようになる。この図から求まる活性化エネルギーは2.31 eVであり、150°Cでの寿命を予測すると約126年となる。

NchMOSFET, PchMOSFETのしきい値電圧をほぼ±0.5 Vに制御したときのデバイスとしての性能が向上する例を図10に示す。評価したデバイスは121段のリングオシレータでゲート遅延時間に対するゲート長依存性を測定した。図に示すようにしきい値電圧をほぼ±0.5 Vに制御した場合はしない場合に比べてゲート遅延時間が約80%に短くなっており、高速化が実現されたことになる。デバイスの動作スピードはしきい値電圧と密接な関係がある。フローティングバックゲートの有無によってデバイスの動作スピードを評価するにはNchMOSFETでは同等のしきい値電圧が得られるようチャンネル不純物濃度を変化させ、PchMOSFETでは同一のチャンネル不純物濃度においてしきい値電圧を変化させることによって評価することが妥当と考えた。このためフローティングバックゲートを持たないリングオシレータのNchMOSFETに対しては、チャンネル部にチャンネルイオン注入としてボロンを 1.5×10^{12} dose/cm²で注入し、しきい値電圧を+0.4 Vに制御した。

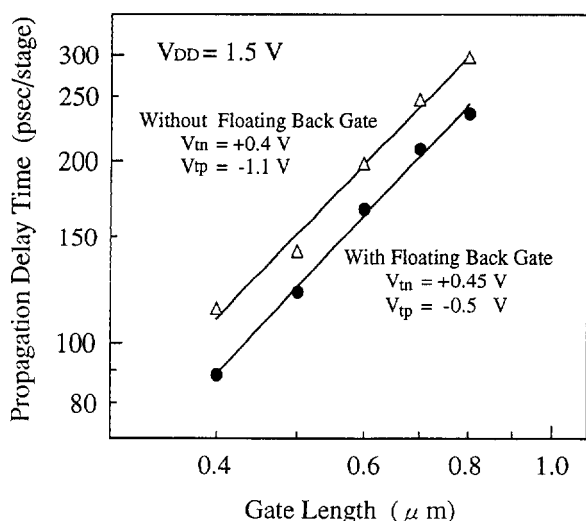


Fig. 10 Propagation delay time of ring oscillators with and without the floating back gate

5. 結 言

完全空乏化超薄膜 SOI-CMOS のしきい値電圧の制御方法として基板バイアス方式を選定した。基板バイアス方式では所望のしきい値電圧を得ることに対して

低いチャンネル濃度領域が使用できるためチャンネル移動度が高くなる、および SOI 層の膜厚バラツキの影響を受けにくいとすることを計算によって明らかにした。さらに基板バイアス方式においてチャンネル領域下部の基板内に電子を蓄積する電極を形成し、かつこの電極の周囲を絶縁することによって電荷抜けを防止したフローティングバックゲート構造を提案した。

上記のフローティングバックゲート構造を持つ超薄膜 SOI 基板をシリコンウェハの直接接合技術を用いて実現した。その製造工程はウェハ表面に段差形成、上部埋め込み酸化膜形成、フローティングバックゲート形成、下部埋め込み酸化膜形成、接合面を得るため厚い Poly-Si の成膜かつ平坦化、支持基板との直接接合、SOI 層を形成する側のウェハ裏面を研削および選択研磨の各工程からなる。この製造方法によりフローティングバックゲートを内蔵した6インチ径の接合基板において、 $0.1 \pm 0.03 \mu\text{m}$ の SOI 層が得られた。

上記の超薄膜 SOI 基板に MOSFET を試作した結果、フローティングバックゲートへの電荷量を制御することで NchMOSFET, PchMOSFET のしきい値電圧を ±0.5 V 近傍に設定することが可能となった。また試作した NchMOSFET において完全空乏化が維持されていること、PchMOSFET のサブスレッショルド特性およびショートチャンネル効果の悪化が許容範囲であることを確認した。さらに、しきい値電圧を最適値に制御することで回路レベルでの動作速度が向上できることを明らかにした。

〈参 考 文 献〉

- 1) S. D. S Mahli, H. W. Lam, and P. F. Pinizzotto: "Novel SOI MOS design using ultra thin near intrinsic substrate," Tech. Dig. of IEDM 1982 (1982), p. 107.
- 2) S. L. Partridge: "Silicon-on-insulator and device applications," GEC Journal of Research, vol. 4, no. 3 (1986), p. 165.
- 3) A. Kamgar, S. J. Hillenius, H-I. Cong, R. L. Field, W. S. Lindenberger, G. K. Celler, L. E. Trimble, and J. C. Sturm: "Ultra-high speed CMOS circuits on thin SIMOX films," Tech. Dig. of IEDM 1989 (1989), p. 829.
- 4) N. Kistler, E. V. Ploeg, J. Woo, and J. Plummer: "Subquarter-micrometer CMOS on Ultrathin (400 Å) SOI," IEEE Electron Device Lett., vol.

13 (1992), pp. 235-237.

5) H. K. Lim and J. G. Fossum : "Threshold voltage of thin film silicon-on-insulator (SOI) MOSFET's," IEEE Trans. Electron Devices, vol. 30, no. 10 (1983), p. 1244.

6) A. Modelli and B. Ricco : "Electric field and

current dependence of SiO₂ intrinsic breakdown," Tech. Dig. of IEDM 1984 (1984), p. 148.

7) H. Himi, M. Matsui, S. Fujino, and T. Hattori : "Silicon wafer direct bonding without hydrophilic native oxides," Jpn. J. Appl. Phys., vol. 33, no. 1A (1994), pp. 6-10.



〈著 者〉



藤野 誠二 (ふじの せいじ)

IC 技術 1 部
貼り合わせ技術を用いた SOI デバイスおよび半導体センサの研究開発に従事
工学博士



浅井 昭喜 (あさい あきよし)

基礎研究所 研究 1 部
SOI デバイスおよび微細化プロセスの研究開発に従事



鶴田 和弘 (つるた かずひろ)

基礎研究所 研究 1 部
SOI デバイスおよびマイクロマシニングの研究開発に従事