

# 論文 TCAD によるノンプレーナ型 IGBT 解析 —CONCAVE-IGBT の特性—\*

Analysis of Non-Planar IGBT by using TCAD—Characteristics of the CONCAVE-IGBT—

高橋茂樹 八代賢一 黒柳 晃 戸倉規仁  
Shigeki TAKAHASHI Ken-ichi YASHIRO Akira KUROYANAGI Norihito TOKURA

We have analyzed electrical characteristics of the non-planar CONCAVE-IGBT using TCAD simulator providing Boundary-Conforming-Mesh generation, and quantitatively compared with the experiments. As the results, the CONCAVE-IGBT has been characterized by the high channel conductance comparable to that of planar type, and by the smaller cell pitch resulting in lower on-state voltage compared with that of planar-IGBT.

**Key Words :** TCAD (Technology CAD), Simulation, IGBT (Insulated Gate Bipolar Transistor), Non-planar, CONCAVE, On-state voltage, Conductivity Modulation

## 1. まえがき

プレーナ IGBT は、セル構造の最適化と微細加工技術の適用により低損失化が進み、サージ特性も含めた実用レベルの 600 V 系 IGBT のオン電圧は、2.0 V ( $I_c = 150 \text{ A/cm}^2$ ,  $t_f = 0.3 \mu\text{s}$ ) を下回るまで達している。セル構造の最適化は、セルピッチに占める P ボディ幅の比率を減らして開口率を上げ、p ボディの接合深さを浅くすることによりなされ、オン電圧が最小になるセルピッチは 30~40  $\mu\text{m}$  であることが報告されている<sup>1)</sup>。一方、ノンプレーナ型のトレンチ IGBT は、セルピッチ 4  $\mu\text{m}$  の素子においてオン電圧 1.4 V ( $I_c = 200 \text{ A/cm}^2$ ,  $t_f = 0.2 \mu\text{s}$ )<sup>2)</sup> と理論限界に近い値が報告されているが、短絡耐量(SCSOA)の向上が大きな課題である<sup>3)</sup>。プロセスとデバイスのシミュレーションを一貫して行える TCAD (Technology CAD) は、IGBT 開発において必須のツールとして使用されており、さらに IGBT に共通した導電率変調現象を(プレーナ型からノンプレーナ型まで) 統一的に解釈し、デバイス物理を深く理解するためのツールとしても活用されている<sup>4)5)</sup>。しかし、従来は TCAD による定量解析は概ねプレーナ型までが限界であり、ノンプレーナ型には Mesh 生成等の基本的な問題があった。

筆者らは、プレーナ型が持つ高サージ耐量や量産性と、ノンプレーナ型が持つ低オン電圧の特長を併せ持つ

た、くぼみ(CONCAVE)構造のノンプレーナ型 CONCAVE-IGBT を開発し、CONCAVE 構造により電圧降下の主要因の一つであるネック部を構造的に削除し、さらに蓄積層からの電子注入の増加で導電率変調が促進され、オン電圧を効果的に低減できることを既に明らかにしている<sup>6)</sup>。さらに、CONCAVE-IGBT は十分な SCSOA を持つことを確認している。

本論文では、IGBT のオン電圧はセルピッチに強く依存すると共に最適値が存在することに着目し、ノンプレーナ型の一つである CONCAVE-IGBT について、まずノンプレーナ型に対応した Mesh 生成機能を備える TCAD<sup>6)</sup> を使用して、チャンネル部の Mesh 構造を検討する。続いて、この Mesh を使用したデバイスシミュレーションによりチャンネル部付近の電圧降下を解析し、TEG を使用した実験と比較することによりチャンネル部付近のモデリングが妥当であることを確認する。最後に、この TCAD を用いて CONCAVE-IGBT のオン電圧が最小になるセルピッチを調べ、プレーナ IGBT と比較すると共に、オン電圧とデバイス内部のポテンシャル分布の関係を調べる。そして、CONCAVE 型の最適セルピッチがプレーナ型よりも小さいことを明確化することで、最適セルピッチが小さいことがノンプレーナ型の低オン電圧特性の重要な要因であることを示す。

## 2. CONCAVE-IGBT の特徴

CONCAVE-IGBT の主要作製工程を Fig. 1 に示す<sup>7)</sup>。

(a)耐酸化性マスクとしての  $\text{Si}_3\text{N}_4$  膜を堆積し、(b) CDE (Chemical Dry Etching) と選択酸化法 (LOCOS)

\* 電気学会電子デバイス・半導体電力変換合同研究会資料 EDD-98-100/SPC-98-84 (98.10.8) より転載

により CONCAVE (くぼみ) を形成する. LOCOS 酸化膜をマスクとして(c)ボロンイオン注入・拡散と(d)ヒ素イオン注入・拡散を行い, CONCAVE の側面に縦型チャネルを形成する. LOCOS 酸化膜を除去後(e)ゲート酸化膜を形成し, (f)ゲート電極, ソース・ドレイン電極を形成してデバイスを完成する.

Fig. 2, 3 及び Table 1 に, 試作した 13 mm 角チップとセルの断面構造, 及び主な諸元を示す. 電気特性の一例として,  $V_{CE}=1.65$  V (at  $I_C=200$  A (150 A/cm<sup>2</sup> 相当)),  $V_{GE}=15$  V, Fig. 4 参照),  $t_f=0.3$   $\mu$ s,  $BV_{CES}=753$  V,  $V_{TH}=5.1$  V であり, 低損失である. 次に, サージ特性として重要な短絡安全動作領域 (SCSOA) の一

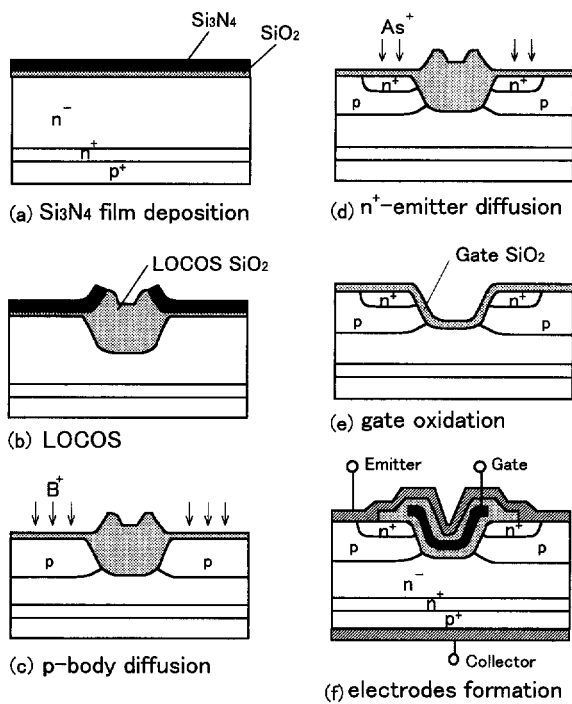


Fig. 1 Conceptual process flow of the CONCAVE-IGBT.

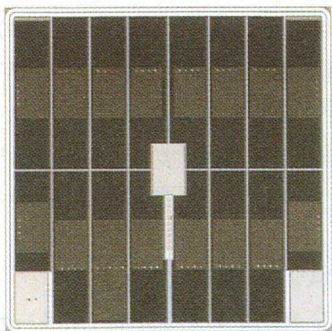


Fig. 2 Photograph of the fabricated CONCAVE-IGBT chip (13mm x 13mm).

例を Fig. 5 に示す. Fig. 5 よりサージ電流は定格の約 3.5 倍(約 500 A/cm<sup>2</sup>)に制限され, 短絡サージ ( $V_{CC}=300$  V,  $V_{GE}=15$  V, 150 $^{\circ}$ C) を 10  $\mu$ s 印加した後にゲートによりターンオフされており, プレーナ型並みにサージに強いことが確認された.

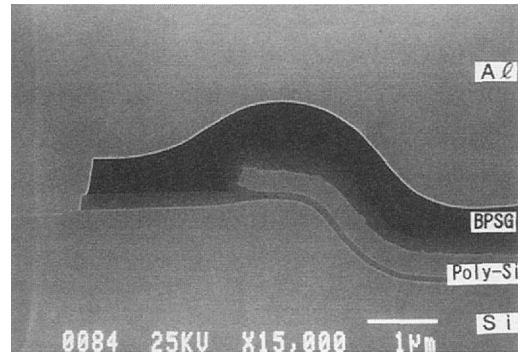


Fig. 3 SEM photo of the cross-sectional Concave cell structure of the CONCAVE-IGBT.

Table 1 Typical device parameters of the fabricated CONCAVE-IGBT.

Chip size	: 13 mm x 13 mm
Active area	: 133 mm <sup>2</sup>
Wafer structure	: n <sup>-</sup> base/n <sup>+</sup> buffer/p <sup>+</sup> sub
n <sup>-</sup> base layer	: 50 $\mu$ m, $1.2 \times 10^{14}$ cm <sup>-3</sup>
Cell pitch	: 24 $\mu$ m
Concave width	: 14 $\mu$ m
depth	: 2 $\mu$ m
Gate oxide	: 100 nm
Channel length	: 2.6 $\mu$ m
Lifetime control	: Electron irradiation

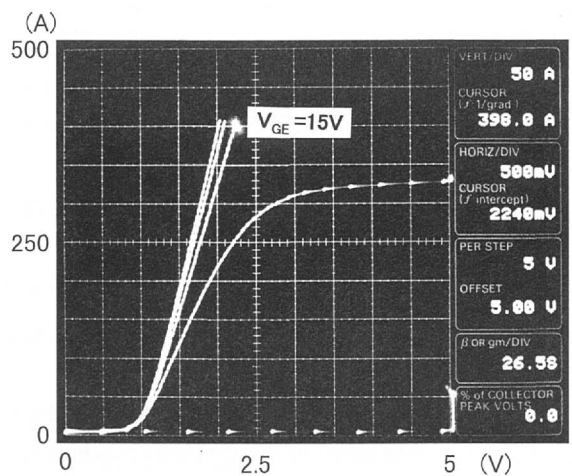


Fig. 4  $I_C$ - $V_{CE}$  characteristics of the CONCAVE-IGBT.

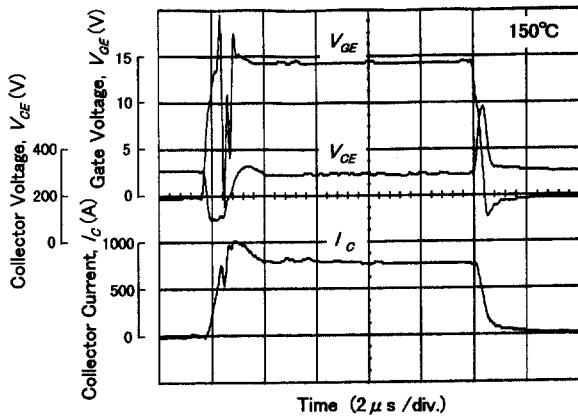


Fig. 5 Measured short circuit operation of the CONCAVE-IGBT within the Safety Operating Area.

### 3. TCAD によるノンプレーナ型デバイスの解析

CONCAVE-IGBT の表面はくぼみ形状のノンプレーナ構造であり、くぼみの側面にチャンネルが形成される。そこで、まず最初に CONCAVE-IGBT のデバイスモデルにおける Mesh 生成において、新しいノンプレーナ構造に適した Mesh 生成機能を検討した。続いて、最も重要なチャンネル部付近の電圧降下について、TEG を使用した実験とシミュレーション解析の結果を比較し、チャンネル部のキャリア伝導特性が TCAD により比較的精度良く解析できることを確認した。

#### 3.1 CONCAVE 構造の Mesh 生成—従来型 Mesh と Boundary-Conforming-Mesh の比較—

TCAD によりプロセス・デバイス一貫シミュレーションを行う過程で、まずプロセスシミュレーションによりデバイスモデルを完成し、次にこのモデルに対してデバイスシミュレーション用の Mesh を生成する必要がある。従来、直交パターンを基本とした Mesh 生成が一般的であり、プレーナ型デバイスの解析に有効であった。しかし、CONCAVE-IGBT のようなノンプレーナ構造に直交パターンを適用すると、Fig. 6 に示すようにチャンネル部には極めて不均一な Mesh が生成される問題がある。

最近、界面に沿った Mesh 生成機能—Boundary-Conforming-Mesh—が TCAD に組み込まれ<sup>9)</sup>、ノンプレーナ型デバイスのモデリングが容易になってきた。Boundary-Conforming-Mesh を CONCAVE-IGBT に適用すると、Fig. 7 に示すように、チャンネル部には界面に並行で一様な Mesh が生成される。これらのデバ

イスモデルに対するシミュレーション結果を Fig. 8 に示す。従来型 Mesh ではコレクタ電流が殆ど流れないのに対し、Boundary-Conforming-Mesh では定量的に妥当な  $I_C$ - $V_{CE}$  特性を示し、精度が大幅に改善した。

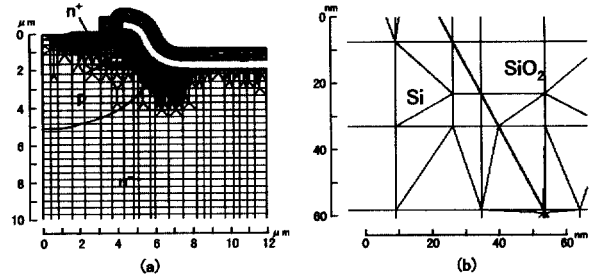


Fig. 6 Mesh pattern of the CONCAVE-IGBT model using conventional mesh generator.

(a) 1/2 cell model, (b) Close-up around the MOS channel interface.

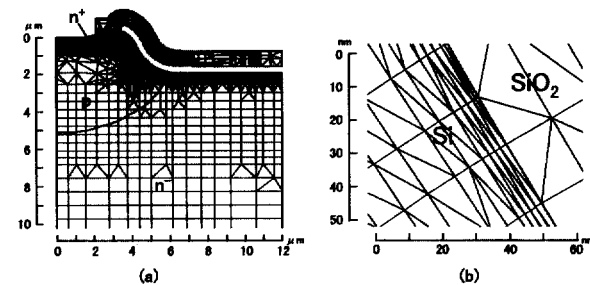


Fig. 7 Mesh pattern of the CONCAVE-IGBT model using Boundary-Conforming-Mesh generator. (a) 1/2 cell model, (b) Close-up around the MOS channel interface.

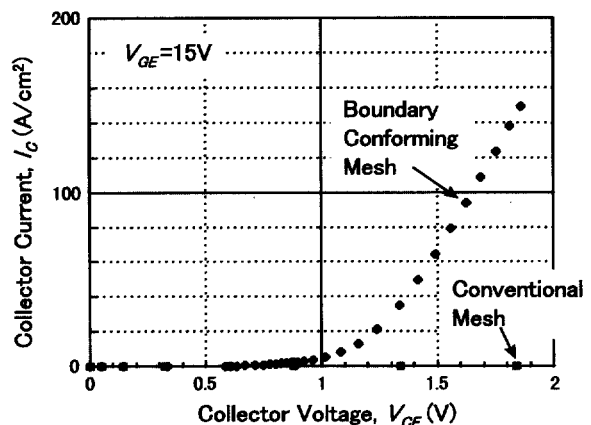


Fig. 8 Drastic improvement of CONCAVE-IGBT simulation applying the Boundary-Conforming-Mesh.

### 3.2 CONCAVE 型チャネルの電圧降下

DMOS セルのチャネル部電圧降下を測定する方法として、チャネルを備えたセンスセルを DMOS セルに隣接させた構造が提案されている<sup>7)</sup>。この方法を、CONCAVE-IGBT に適用した構造を Fig. 9 に示す。Fig. 9 において、IGBT がオン状態の時、センス電圧  $V_{SE}$  は、チャネルの電圧降下  $V_{CH}$  と IGBT セル—センスセル間に形成されるアキュムレーション層の電圧降下  $V_{ACC}$  の和で与えられる。

$$V_{SE} = V_{CH} + V_{ACC} \quad \dots(1)$$

Fig. 9 に示した構造の TEG を試作して実験的に  $V_{SE}$  を測定し、TCAD によるシミュレーション解析と組み合わせることにより、CONCAVE 型チャネルの電圧降下を見積った。

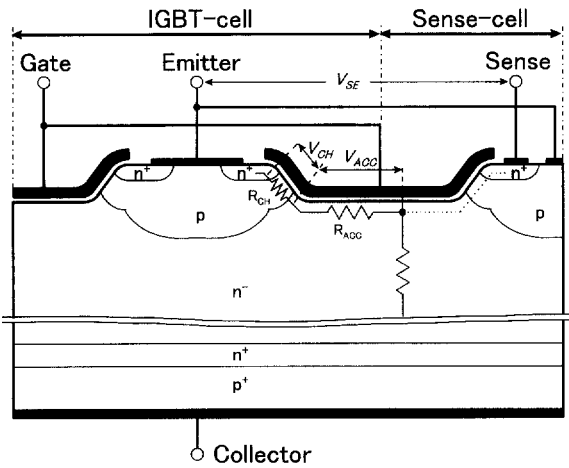


Fig. 9 Schematic TEG structure consisting of CONCAVE-IGBT cell and Sense-cell, which monitors the voltage drop at the channel.

#### 3.2.1 実験

CONCAVE 型チャネルの電圧降下を実験的に測定するために試作した TEG (5 mm 角) のチップ写真を Fig. 10 に示す。Table 2 に TEG デバイスの諸元を示す。基板、プロセスの諸元は Table 1 と同じである。

Fig. 11 に TEG の測定結果を示す。 $I_C = 10 \text{ A}$  (150 A/cm<sup>2</sup> 相当) の時、 $V_{SE} = 312 \text{ mV}$  ( $V_{GE} = 15 \text{ V}$ ,  $V_{CE} = 1.8 \text{ V}$ ) であった。

#### 3.2.2 シミュレーション解析

Fig. 10 に示した TEG の主要部分の解析を行うために、CONCAVE-IGBT セルと電圧検出部で構成されたモデルを作成した。プロセス、デバイスに関する各種パラメータは可能な限り実際の試作デバイスに合わせ

た。

Fig. 12 に、 $I_C = 150 \text{ A/cm}^2$  時における電子の擬フェルミポテンシャル (QFN) 分布のシミュレーション結果を示す。検出電圧  $V_{SE} = 444 \text{ mV}$  ( $V_{GE} = 15 \text{ V}$ ,  $V_{CE} = 1.73 \text{ V}$ ) であり、その内訳は  $V_{CH} = 274 \text{ mV}$ ,  $V_{ACC} = 170 \text{ mV}$  であった。

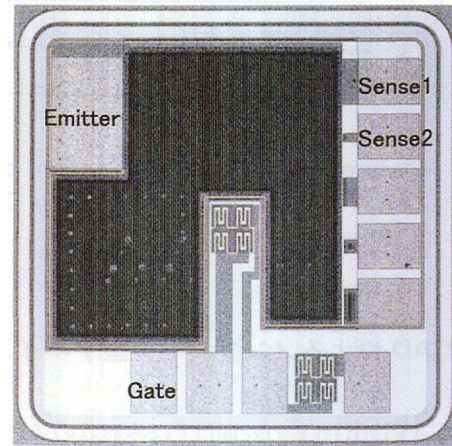


Fig. 10 Photograph of the CONCAVE-IGBT TEG chip, in which sense cells are monolithically integrated (5mm×5mm).

Table 2 Parameters of the TEG device.

Chip size	: 5 mm×5 mm
Active area	: 6.7 mm <sup>2</sup>
Wafer structure	: n <sup>-</sup> base/n <sup>+</sup> buffer/p <sup>+</sup> sub
n <sup>-</sup> base layer	: 50 μm, 1.2×10 <sup>14</sup> cm <sup>-3</sup>
Cell pitch	: 24 μm
Concave width	: 14 μm
depth	: 2 μm
Gate oxide	: 100 nm
Channel length	: 2.6 μm
Lifetime control	: Electron irradiation

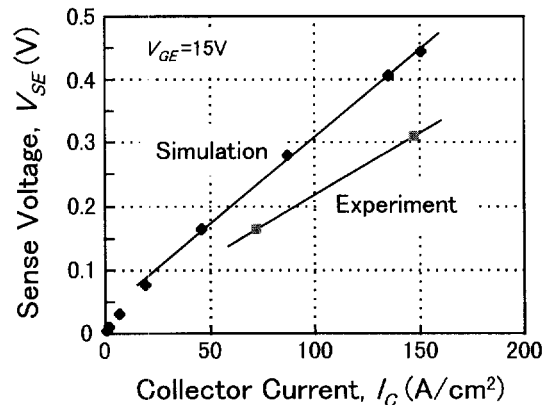


Fig. 11 Measured & simulated sense voltages as a function of collector current.

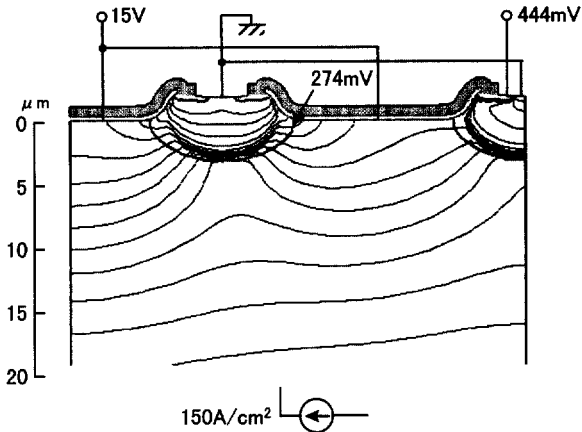


Fig. 12 Quasi-Fermi potential distribution of electron (0.05V/step) and sense voltage at  $I_c = 150A/cm^2$ .

### 3.3 考察

検出電圧  $V_{SE}$  は実験 (312 mV) に対してシミュレーション (444 mV) の方が大きい。この差 (約 30%) がチャネル部の電圧降下  $V_{CH}$  又はアキュムレーション層の電圧降下  $V_{ACC}$  にあるとは考えにくい。その理由は以下の通りである。

まず、前者のチャネル部の電圧降下  $V_{CH}$  (=電子電流  $I_e \times$  チャネル抵抗  $R_{CH}$ ) について考察する。リニア領域のチャネル抵抗  $R_{CH}$  は、(2)式で与えられる。

$$R_{CH} = V_D / I_D = (L/W) \cdot (t_{OX} / \epsilon_{OX}) / \{ (V_G - V_T) \cdot \mu_{eff} \} \quad \dots(2)$$

(2)式に従って、試作 TEG デバイスとシミュレーションモデルの  $R_{CH}$  を比較すると、構造パラメータ ( $L$ ,  $W$ ,  $t_{OX}$ )、電気特性 ( $V_G$ ,  $V_T$ ) は両者で等しいが、チャネル実効移動度  $\mu_{eff}$  のみ両者で異なる可能性がある。しかし、シミュレーションにおいて  $\mu_{eff}$  の異方性は考慮しておらず、(100) 面と同じパラメータが使用されている。一方、試作デバイスの CONCAVE の側面は主に (111) 面であり、 $\mu_{eff}$  が (100) 面に比べて低いことが知られている<sup>9)</sup>。従って、シミュレーションにおける  $R_{CH}$  は実験よりも小さく設定されているので  $V_{CH}$  も小さくて当然であるが、結果は逆であるからチャネル抵抗がセンス電圧  $V_{SE}$  の差の原因ではないと考えられる。

次に、後者のアキュムレーション層の電圧降下  $V_{ACC}$  については、この層が (100) 面に形成されるのでシミュレーション解析の精度が良いと考えられるから、 $V_{ACC}$  はセンス電圧  $V_{SE}$  の差の原因ではないと言える。

以上の考察から、実験とシミュレーションの  $V_{SE}$  の比較で生じた差 (約 30%) は、少なくともチャネルに

起因したものではない。従って、チャネル抵抗  $R_{CH}$  は実験とシミュレーションではほぼ等しいと見なして良いと考えられる。この結果は、くぼみ深さが約  $2 \mu m$  と深い CONCAVE-IGBT のチャネル実効移動度  $\mu_{eff}$  が (100) 面と同等に高いことを示唆している<sup>10)</sup>。また、以下の CONCAVE-IGBT のシミュレーションにおいて、 $\mu_{eff}$  の異方性を考慮しなくてもオン電圧を低く見積めることは無いと考えられる。

## 4. TCAD による CONCAVE-IGBT の解析 ——CONCAVE とプレーナの比較——

### 4.1 オン電圧のセルピッチ依存性

CONCAVE-IGBT とプレーナ IGBT について、オン電圧のセルピッチ依存性を明らかにするために、下記の要領でモデリングを行い、シミュレーション解析を行った。Fig. 13, 14 にモデルの模式図を示す。

- (1) ウエハ構造は Table 1 と同等。
- (2) セルピッチ  $L_{CELL}$  は、24, 32, 40  $\mu m$  の 3 水準、1/2 セルモデル。
- (3)  $n^+$  エミッタ領域、p ボディ領域の構造は  $L_{CELL}$  に無関係に固定。
- (4)  $n^+$  エミッタ領域、p ボディ領域の不純物分布は、CONCAVE とプレーナで同一。ただし、プレーナ型のしきい電圧を CONCAVE 型に合わせるために、 $n^+$  エミッタ領域の拡散マスク位置を微調整してチャネル部のピーク不純物濃度を調整。
- (5) CONCAVE-IGBT のみ、溝側面のチャネル部は Boundary-Conforming-Mesh を適用。
- (6) ライフタイム  $\tau$  の設定は、電子線照射を想定して  $n^-$  ベース層と  $n^+$  バッファ層に対して同一の  $\tau$  を適用。 $\tau = 0.1 \mu s$  のとき、フォール時間  $t_f = 0.3 \mu s$  であった。

オン電圧のセルピッチ依存性のシミュレーション結果を Fig. 15 に示す。Fig. 15 より、プレーナ IGBT においては、 $L_{CELL} = 35 \mu m$  付近でオン電圧が最小値 (1.87 V) をとり、さらに縮小するとオン電圧は増加傾向を示す。一方、CONCAVE-IGBT においては、オン電圧は  $L_{CELL} = 24 \mu m$  まで単調減少 (1.72 V) することから、最小値は  $24 \mu m$  以下のところにあり、プレーナ IGBT に比べて 0.15 V 以上低い。このように、オン電圧が最小になる  $L_{CELL}$  はプレーナ型よりも CONCAVE 型の方が小さく、セル密度を高くできることがオン電圧を低減できる主要因の一つであることが明らかになった。

Fig. 15 に、CONCAVE-IGBT の実験値も示す。試

作デバイスは、 $L_{CELL}=24, 40 \mu\text{m}$ の2水準、 $t_f=0.22 \mu\text{s}$ である。実験値をシミュレーション結果と比較すると、オン電圧のセルピッチ依存性の傾向は良く一致するが、オン電圧が約0.1 V高い。この相違は、 $t_f$ の差（実験： $0.22 \mu\text{s}$ 、シミュレーション： $0.3 \mu\text{s}$ ）に帰着できる。従って、Fig. 15 に示すシミュレーション結果は定量的にも妥当であると言える。

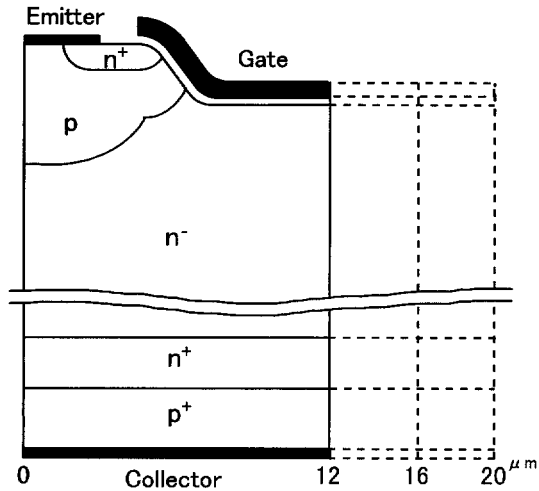


Fig. 13 Schematic 1/2 cell model of CONCAVE-IGBT.

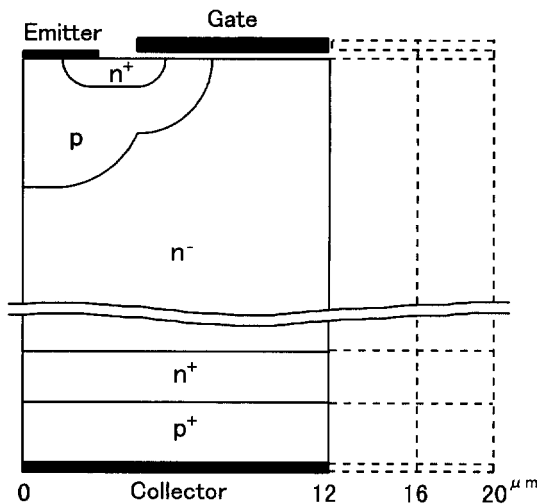


Fig. 14 Schematic 1/2 cell model of planar-IGBT.

#### 4.2 ポテンシャル分布のセルピッチ及び構造依存性

CONCAVE-IGBT とプレーナ IGBT のオン電圧のセルピッチ依存性の違いを分析するために、デバイス内

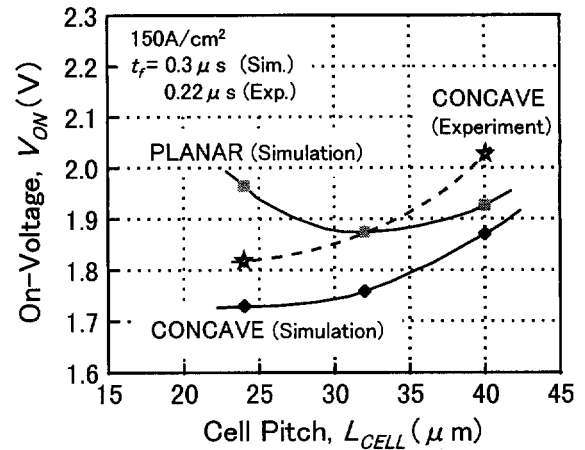


Fig. 15 Cell pitch dependence of on-state voltage for CONCAVE and planar-IGBTs.

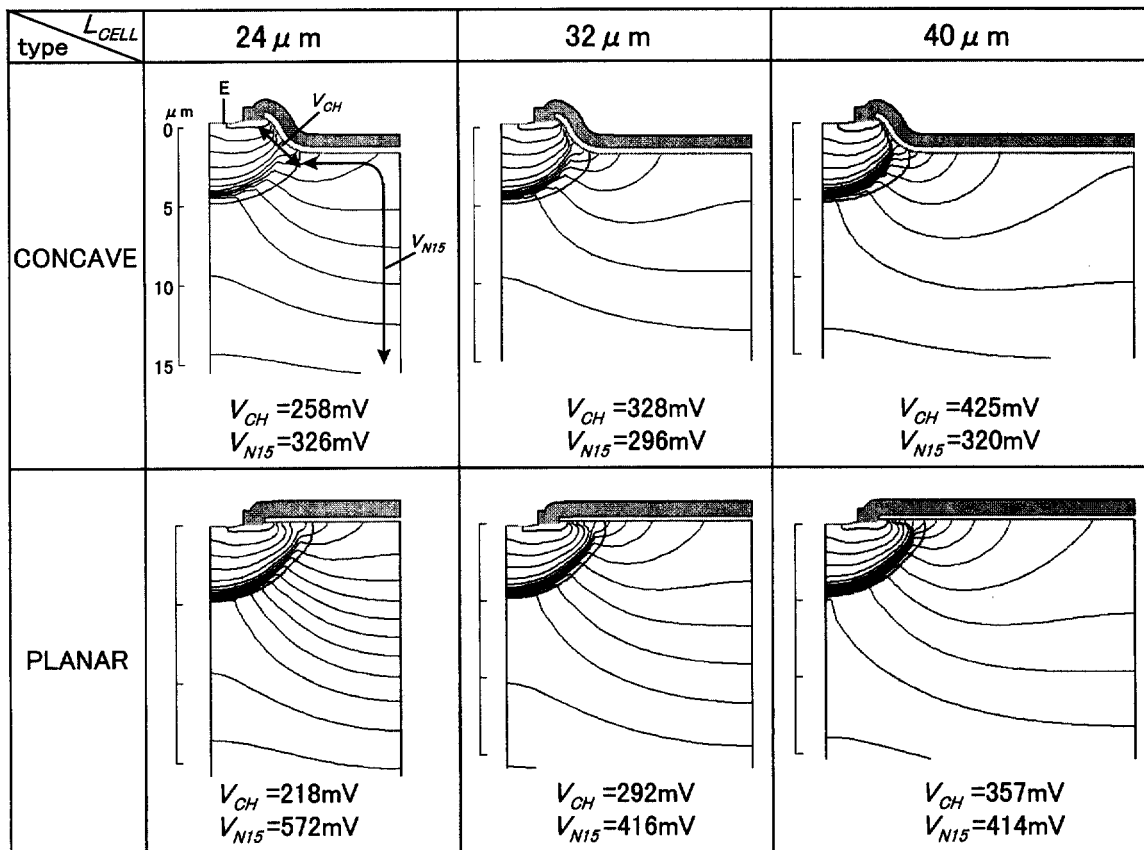
部のポテンシャル分布を下記要領にて詳細に調べた。

- (1) プレーナ IGBT と CONCAVE-IGBT について、それぞれセルピッチ 3 水準のシミュレーション結果 (Fig. 15 に示した 6 点) を解析する。バイアス条件は  $I_c=150 \text{ A/cm}^2$ ,  $V_{GE}=15 \text{ V}$ 。
- (2) デバイス内部の電子の擬フェルミポテンシャル (QFN,  $0.05 \text{ V/step}$  でプロット) で評価する。
- (3) チャンルの電圧降下 ( $V_{CH}$ ; チャンル出口の QFN) と、チャンネル出口から深さ  $15 \mu\text{m}$  までの  $n^-$  ベース層内の電圧降下 ( $V_{N15}$ ) に着目して比較する。

Table 3 に、デバイス内部の QFN 分布のシミュレーション結果一覧を示す。Table 3 より、 $L_{CELL}$  の縮小に対して下記のことが明らかになった。

- (1) チャンルの電圧降下  $V_{CH}$  は、CONCAVE-IGBT ( $425 \rightarrow 258 \text{ mV}$ )、プレーナ IGBT ( $357 \rightarrow 218 \text{ mV}$ ) 共に単調減少する。 $V_{CH}$  が単調減少する理由は、セル密度の増加により 1 セルに流れる電流がセル密度に反比例して減少するからである。
- (2)  $n^-$  ベース層内の電圧降下  $V_{N15}$  は、
  - ・プレーナ IGBT では、 $L_{CELL} > 32 \mu\text{m}$  のとき約  $0.41 \text{ V}$  一定であるが、 $L_{CELL} = 24 \mu\text{m}$  のとき  $0.57 \text{ V}$  に急増する。 $V_{N15}$  が急増する理由は、p ボディで挟まれたネック部の通路が狭くなることに加えキャリア濃度が低下し、この部分の電圧降下が急増するためである。
  - ・CONCAVE-IGBT では、 $L_{CELL}$  によらず約  $0.3 \text{ V}$  一定である。 $V_{N15}$  が一定になる理由は、CONCAVE 構造によりネック部が削除された効果により、 $L_{CELL}$  が変化しても  $n^-$  ベース層の表面付近の電流密度増加やキャリア濃度低下が緩和されるためである。

Table 3 Quasi-Fermi potential distributions for various IGBT device models (0.05V steps).



5. ま と め

ノンプレーナ型に対応した Boundary-Conforming-Mesh を備える TCAD を使用して、CONCAVE-IGBT の特性を定量的に解析し、実験と比較した。その結果、CONCAVE 型のチャンネル特性が精度良く数値解析できることを確認し、チャンネル移動度がプレーナ並みに高いことも確認できた。この TCAD を使用してオン電圧が最小になるセルピッチを調べ、CONCAVE 型の方がプレーナ型よりも小さいことを定量的に示した。さらに、CONCAVE 型はセルピッチを小さくしてもネック部の電圧降下の増大が抑制されることを示し、ノンプレーナ型 IGBT が低オン電圧化できる重要な要因が、プレーナ型に比べて最適セルピッチが小さいことであることを明確にした。

＜参 考 文 献＞

- 1) Y. Onishi, S. Momota, Y. Kondo, M. Otsuki, N. Kumagai and K. Sakurai, "Analysis on device structures for next generation IGBT", *Proc. ISPSD'98*, pp. 85-88, Jun. 1998.
- 2) M. Harada, T. Minato, H. Takahashi, H. Nishihara, K. Inoue and I. Takata, "600V trench IGBT in comparison with planar IGBT", *Proc. ISPSD'94*, pp. 411-416, May/Jun. 1994.
- 3) T. Laska, F. Pfirsch, F. Hirler, J. Niedermeyr, C. Schaffer and T. Schmidt, "1200V-trench-IGBT study with square short circuit SOA", *Proc. ISPSD'98*, pp. 433-436, Jun. 1998.
- 4) I. Omura, T. Ogura, K. Sugiyama and H. Ohashi, "Carrier injection enhancement effect of high voltage MOS devices-Device physics and design concept-", *Proc. ISPSD'97*, pp. 217-220, May 1997.
- 5) 戸倉, "MOS パワーデバイスにおける CONCAVE の効果", 電気学会電子デバイス・半導体電力変換合同研究会資料, EDD-96-103/SPC-96-83, pp. 17-27, 1996-9.
- 6) ISE TCAD Software Release 5.0, 1998.
- 7) 戸倉, 山本, 原, "パワー-MOSFET にオンチップ化できる電界効果抵抗を利用した高精度電流電流検出方式", 電気学会論文誌 D, 第 112 巻, pp. 799-806,

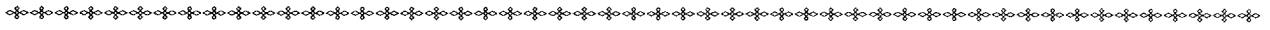
1992-9.

8) S. M. Sze, Physics of Semiconductor Devices, John Wiley & Sons, p. 519, 1969.

9) S. Takagi, M. Iwase and A. Toriumi, "Effect of surface orientation on the universality of inversion-layer mobility in Si MOSFETs", *Ext.*

*Abs. SSDM'90*, pp. 275-278, 1990.

10) N. Tokura, T. Yamamoto, M. Kataoka, S. Takahashi and K. Hara, "CONCAVE-DMOS-FET : A new super-low on-resistance power MOSFET", *Jpn. J. Appl. Phys.*, vol. 34, part1, pp. 903-908, Feb. 1995.

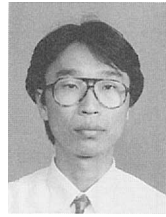


<筆 者>



高橋 茂樹 (たかはし しげき)

電子開発部  
IGBT の基盤技術開発に従事。



八代 賢一 (やしろ けんいち)

技術電算部  
半導体シミュレーションの技術開発に従事。



黒柳 晃 (くろやなぎ あきら)

電子開発部  
IGBT の開発設計に従事。



戸倉 規仁 (とくら のりひと)

電子開発部  
MOS パワーデバイスの技術開発に従事。工学博士。