

# 論文 CSP はんだ接合部の熱疲労寿命解析手法の開発\*

## Development of Thermal Fatigue Life Simulation for CSP Solder Joints

平松 友幸                      松村 靖                      園部 俊夫  
Tomoyuki HIRAMATSU    Yasushi MATSUMURA    Toshio SONOBE

3D model simulation of thermal fatigue life for CSP solder joints was needed much labor and much calculation time. This report describes the development of easy thermal fatigue strength estimation for CSP solder joints.

In this study, the first, thermal fatigue test and observation of fatigue mode were carried out for 0.5mm pitch CSP under condition of  $-30\sim 80^{\circ}\text{C}$ . Secondary, the results of 2D FEM model simulation were compared actual fatigue mode. Finally the thermal fatigue life evaluation method was determined.

**Key Words** : CSP (Chip Size Package), Solder joints, FEM, Thermal fatigue test

### 1. ま え が き

近年、電子製品の小型化・高機能化に伴い、電子部品のプリント基板への高密度実装が重要なファクタとなってきた。その中で電極を格子状に配列したCSP (Chip Size Package) は、従来のSMD実装プロセスを継承でき、新しいインフラストラクチャを必要としないパッケージ構造であるため、携帯機器を中心に実用化が進んでいる<sup>1),2)</sup>。

しかしその反面、このCSPは、プリント基板との線膨張の差を吸収するリードを持たないため、はんだ接合部には大きな熱ひずみが生じ、QFP等に比較してはんだ接合部の熱疲労寿命が短くなるという大きな欠点を有している<sup>3)</sup>。このため、はんだ接合部に発生する熱ひずみを正確にシミュレーションし、抑制手段を講じることが重要となってくる。

CSPのはんだ接合部の熱疲労寿命FEMシミュレーション法については、すでに様々な研究がなされているが、3次元モデルでの解析が一般的であり<sup>3),4)</sup>、モデル図作成と計算に莫大な労力と時間が必要になる。そこで、解析の容易な2次元モデルを用いてFEMシミュレーションを行い、実際の温度サイクル試験結果と一致する解析条件を見出すことで寿命予測ができないかと検討した。

本研究は、上記の検討を0.5mmピッチCSPについて実施した結果を示したものである。

### 2. 評価サンプルと評価方法

Fig. 1は、今回の実験・評価に用いた0.5mmピッチCSPの外観図であり、外形サイズが $\square 10\text{mm}$ 、厚さが1.4mm(はんだボール含む)である。はんだボールは、Sn-Pb共晶はんだ(ボール径： $\phi 0.3\text{mm}$ )を使い、192個装着されている。

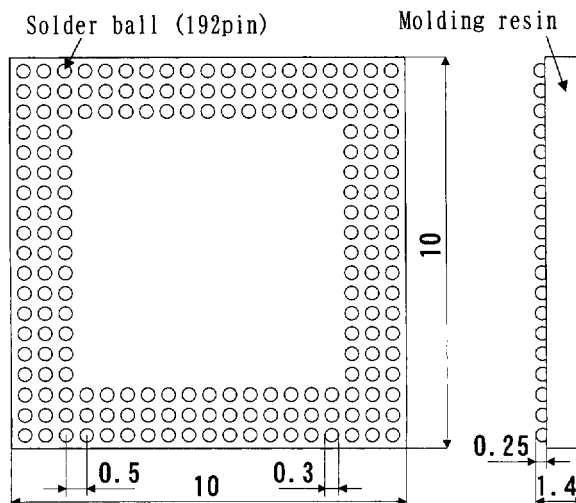


Fig. 1 Over view of 0.5mm pitch CSP

Fig. 2は、CSPをプリント基板に実装した様子を示す断面図である。CSPは、インターポーザ(ポリイミ

\* 99年2月5日原稿受理

ドテープ) 上にダイアタッチで接着されたチップをインターポーザ上に形成された銅電極上にワイヤボンダ接続し、エポキシ系樹脂でモールドしたものである。CSP実装は、Sn-Pb共晶はんだペーストをプリント基板上に印刷した上にCSPをマウントし、リフロー法により実施した。実装に使ったプリント基板は、ガラスエポキシ系の多層配線基板である。ソルダマスクは、銅ランドまでオーバーラップしたオーバーレジスタタイプを使用した。

実験は、CSPをプリント基板に実装した状態で-30℃↔80℃(各30分)の温度サイクル試験を行い、はんだ接合部がオープンに至るまでの寿命とオープン発生位置を調査した。

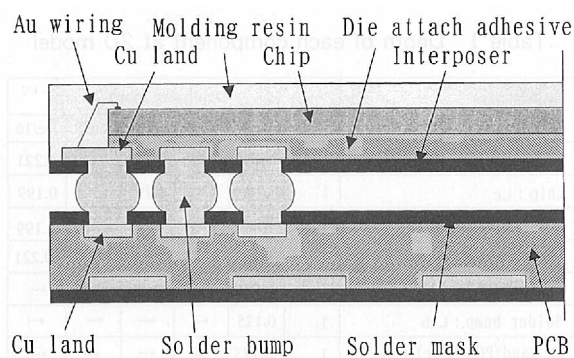


Fig. 2 Cross section of CSP mounted on PCB

### 3. 温度サイクル試験結果

はんだ接合部の初期オープン不良は、Fig. 3に示すようにパッケージのコーナー部最外端バンパから順次内側に向かって発生した。はんだクラックの発生位置

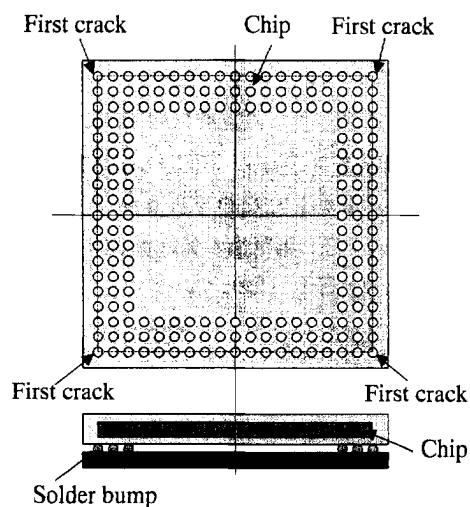


Fig. 3 First open position occurred in thermal fatigue test

は、基板側の銅電極近辺から発生したもの(Fig. 4(a))、CSP側のインターポーザ内はんだくびれから発生したもの(Fig. 4(b))及びCSP側と基板側の両方で発生したもの(Fig. 4(c))とランダムであり、また、クラックは、全てのはんだ内部で発生していた。

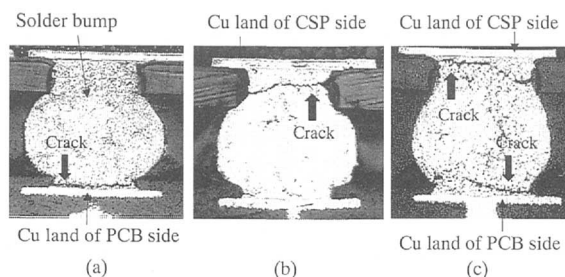


Fig. 4 Crack position of solder bump

### 4. FEM解析

FEM解析には、汎用有限要素法解析コードMARCを用い、弾塑性ミーゼスひずみで評価した。はんだバンプの最小メッシュサイズは、10μmとした。

ここで、2次元で解析する場合、どの断面をモデル化するが重要なポイントとなるが、前述のように本CSPは、オープニングがパッケージのコーナー部の最外端バンパから発生していることから、Fig. 5のように対角方向断面の1/4モデルでの2次元解析を実施した。ここでFEM解析上、次の課題を克服しておく必要がある。

- (1) 3次元構造との対応性(奥行きの問題)
- (2) はんだ部の拘束条件
- (3) はんだの詳細形状

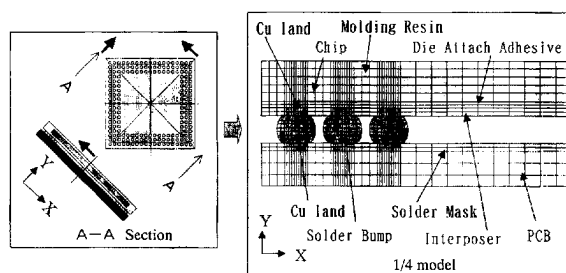


Fig. 5 2D FEM model of 0.5mm pitch CSP

#### 4.1 3次元構造との対応性

まず、「3次元構造の対応性」については、1個のバンプモデルでは2次元モデルで各材料の奥行き寸法をそれぞれ変えることによって、3次元と対応がとれることがすでに報告されている<sup>5)</sup>ため、今回の対角方向断面においても、3次元と対応できる2次元モデルを同様の考え方で検討した。

3次元解析は、本CSPの実装構造が軸対称であるので、1/4モデルで行った (Fig. 6)。

次に2次元解析に対する奥行き寸法の考え方をモールド樹脂とはんだバンプの例にとって Fig. 7 で説明する。モールド樹脂の場合、対角方向でみると直角三角形 OAB が奥行き方向の形状になるため、この直角三角形と面積の等しい長方形 OACD を考え、奥行き寸法を直角三角形の高さ OB の 1/2 とした。はんだバンプの場合、奥行き方向の形状が円形であるため、外接四角形で近似し、奥行き寸法を直径の 1/2 とした (以下、実際の形状に対して面積が等しくなるように求めた長方形の奥行き寸法を「等価面積での奥行き寸法」と称す)。Fig. 8 は、等価面積での奥行き寸法でみたときの正面断面図と平面図である。図中の Lsb, Lm 等はそれぞれの部材の奥行き寸法を示す (Lsb の sb は Solder bump の略であり、以下、同様の考え方で付記)。

2次元解析は、まず各部材の奥行き寸法を一律 1mm とした場合と各部材の奥行き寸法を等価面積での奥行き寸法とした場合について計算した (Table 1)。

Fig. 9 に最外周バンプでの3次元と2次元の計算結果比較を示す。3次元解析 (3D model) の解析結果に比べ、奥行き寸法一律 1mm モデルでの2次元解析においては、「モールド樹脂奥行き面積/はんだバンプ奥行き面積」の比率が小さいため、はんだバンプがモ-

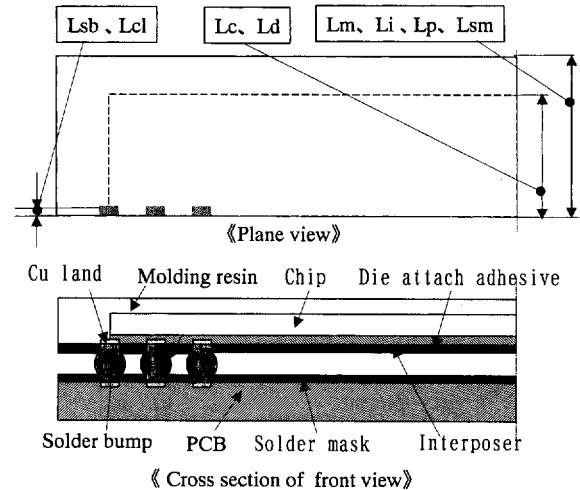


Fig. 8 Depth of each component at 2D model

Table 1 Depth of each component at 2D model

Component	Depth (mm)	Depth size (mm)				
		De/1	De/2	De/4	De/8	De/16
Molding resin : Lm	1	3.53	1.77	0.885	0.442	0.221
Chip : Lc	1	3.18	1.59	0.795	0.398	0.199
Die attach adhesive : Ld	1	3.18	1.59	0.795	0.398	0.199
Interposer : Li	1	3.53	1.77	0.885	0.442	0.221
Cu land (CSP side) : Lcl	1	0.125	←	←	←	←
Solder bump : Lsb	1	0.125	←	←	←	←
Cu land (PCB side) : Lcl	1	0.125	←	←	←	←
Solder mask : Lsm	1	3.53	1.77	0.885	0.442	0.221
PCB : Lp	1	3.53	1.77	0.885	0.442	0.221

De:Depth of equivalent area

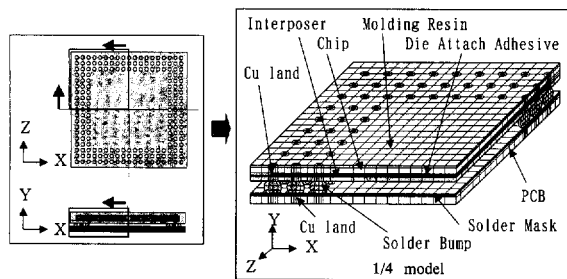


Fig. 6 3D FEM model of 0.5mm pitch CSP

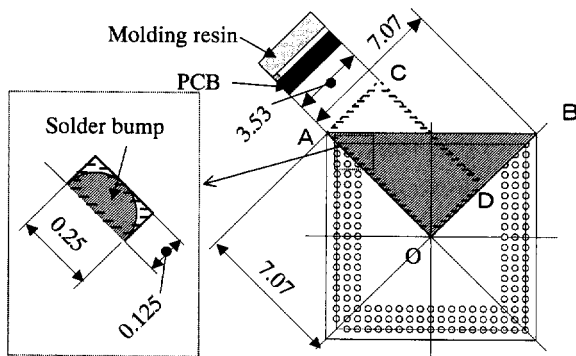


Fig. 7 Idea of equivalent area

ールド樹脂、プリント基板等の熱変形から受けるひずみ寄与度が弱くなり、低いひずみとなった。一方、全ての部材を等価面積の奥行き寸法とした場合 (De/1 のケース)、「モールド樹脂奥行き面積/はんだバンプ奥行き面積」の比率が大きいため、はんだバンプがモールド樹脂、プリント基板等の熱変形から受けるひずみ寄与度が強くなり、高いひずみとなった。これは、Fig. 7, Fig. 8 から類推できるように実際には 48 個 (全バンプ数の 1/4) のはんだバンプがあるにもかかわらず 3 個のはんだバンプで計算したためである。

次に、はんだバンプと銅電極の奥行き寸法を 0.125mm (等価面積での奥行き寸法) で一定とし、その他の各部材の奥行き寸法だけを変えた場合 (Table 1) について計算した (Fig. 9)。この結果、他の部材の奥行き寸法を小さくすることによってひずみ値が次第に低くなり、3次元解析の結果に近いひずみ値が得られる最適寸法があることが分かった。この解析では、等価面積の奥行き寸法の 1/10 が最適寸法であった。

そこで、以下の2次元解析には、3次元解析と最も

対応のとれたこの奥行き寸法を使うこととした。なお、内側の2つのバンプについても同様の結果であった。

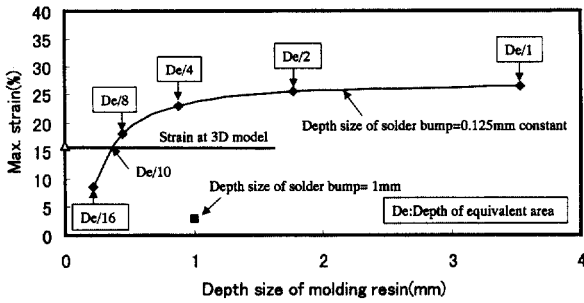


Fig. 9 Comparison of 2D and 3D at peripheral bump

4.2 はんだ部の拘束条件

次に、はんだが CSP 側インターポーザ内で接触しているもの (Fig. 4 (a)) について、「はんだ部の拘束条件」を検討した。はんだは、CSP 側と基板側の銅電極に合金接合されているが、CSP 側インターポーザ内と基板側ソルダマスク開口内では接触している。従ってこの部分の拘束条件が重要と考え、次の3条件について検討した。

Case 1: はんだはインターポーザとソルダマスクにそれぞれ結合させる (Fig. 10 (a))

Case 2: はんだはインターポーザとソルダマスクのそれぞれの接触部で滑る (Fig. 10 (b))

Case 3: はんだはインターポーザとソルダマスクの間に 10 μm のすき間をあげ、結合させない (Fig. 10 (c))

Fig. 11 に前記の3つの条件で解析したときのはんだバンプ部のひずみ分布を示す。これらのひずみ分布について、Fig. 4 (a) に示す実際のはんだバンプ部クラック発生位置と比較した。Case 1 ではひずみが CSP 側のインターポーザ開口下端部と基板側ソルダマスク開口上端部に集中しており、実際のクラック発生位置 (基

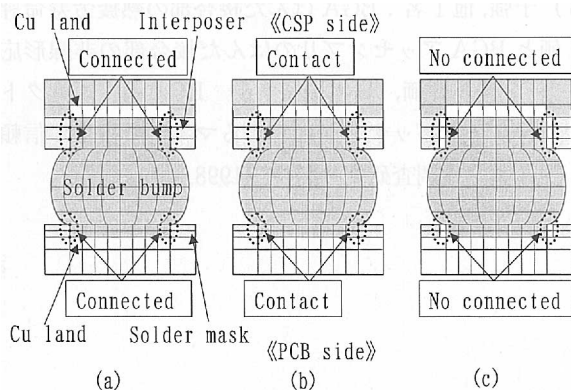


Fig. 10 Restrict condition of solder bump

板側の銅電極上ごく近傍でクラック発生) と一致しない。Case 2 ではひずみが CSP 側のインターポーザ側面に集中し、基板側のソルダマスク表面コーナー部のひずみ集中も小さいことから、これも一致しない。Case 3 ではひずみが、基板側の銅電極側に集中しており、Fig. 4 (a) の破壊モードと一致している。以下の解析では、はんだはインターポーザとソルダマスクの間に 10 μm のすき間をあげ、結合させない解析とした。

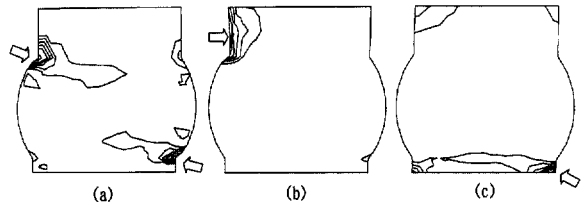


Fig. 11 Relationship of restrict condition and strain distribution

4.3 はんだの詳細形状

Fig. 4 (b), (c) に示すように CSP 側インターポーザ開口内にはんだくびれがある場合について検討した。このとき、基板側のソルダマスク開口内はんだも銅電極に対して直角ではなく、Fig. 12 のようにくびれになっていることがはんだ断面の詳細観察から分かったので、CSP 側インターポーザ開口内はんだくびれ形状は固定し、基板側の銅電極との接触角を変えて、はんだバンプにおける四隅 (A: CSP 側の左隅, B: 同右隅, C: 基板側の右隅, D: 同左隅) のひずみ値変化状況を解析した。

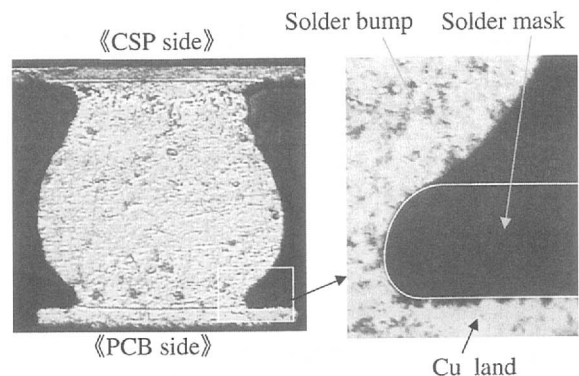


Fig. 12 Solder bump of PCB side

Fig. 13 にひずみ値の変化状況を示す。銅電極との接触角が 90° 時、最大ひずみ部位は、基板側の右隅 (C) であり、銅電極接触部のコーナーにひずみが集中している。接触角が 60° になると、ひずみレベルが下がるとともにひずみ集中部位が銅電極接触部のコーナーから

くびれ部に移動する。最大ひずみ部位は、基板側の右隅 (C) と CSP 側の左隅 (A) となり、実際のモード (Fig. 4(c)) に一致する。接触角が 30° になると、最大ひずみ部位は、CSP 側の左隅 (A) となり、実際のモード (Fig. 4(b)) に一致する。なお Fig. 13 では、CSP 側インターポーザ開口内のはんだくびれ形状を固定して解析したが、このくびれ量を多くすると、CSP 側の左隅 (A) と CSP 側の右隅 (B) のひずみレベルが全体に高くなり、CSP 側のインターポーザ開口内のはんだくびれ部への集中度は、さらに強くなる。

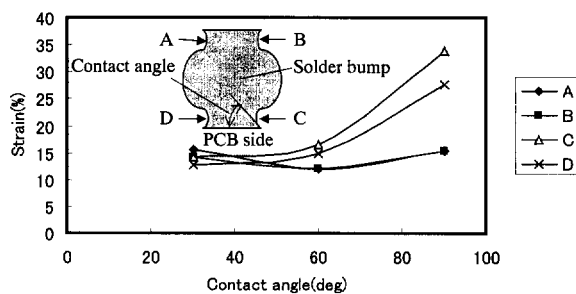


Fig. 13 Partial strain to contact angle of PCB side

### 5. 各種パッケージへの適用

はんだの拘束条件と形状を最適化することにより、実際の破壊モードと一致した解析が 2 次元モデルでできることが分かったので、Table 2 に示す各種の CSP パッケージについても同様の温度サイクル試験 (-30°C ↔ 80°C) と 2 次元 FEM 解析を実施した。温度サイクル試験における B 10 寿命 (累積故障率 10% 時の寿命) と 2 次元 FEM 解析から計算したひずみの関係を両対数グラフにプロットしたところ、Fig. 14 のように一つの直線に近似できた。すなわち、熱ひずみを用いたのはんだ接合部の熱疲労寿命評価則として一般的に知られている Coffin-Manson 則で評価できることが分かった。このことから、この 2 次元 FEM 解析手法は、0.5 mm ピッチ CSP に限定されたものでなく、すべての CSP パッケージに適用できる手法であることを確認した。

Table 2 Structure of BGA/CSP used in FEM analysis

	CSP configuration			
	CSP1	CSP2	CSP3	CSP4
Pitch of solder ball (mm)	0.5	0.8	0.8	1.0
Number of solder ball row	3 rows	4 rows	3 rows	3 rows
Distance from package center to corner solder bump (mm)	6.36	7.35	6.25	3.91
Package size (mm)	10 × 10	12 × 12	12 × 12	8 × 8
Material of interposer	Polyimide tape	←	BT resin	Polyimide tape

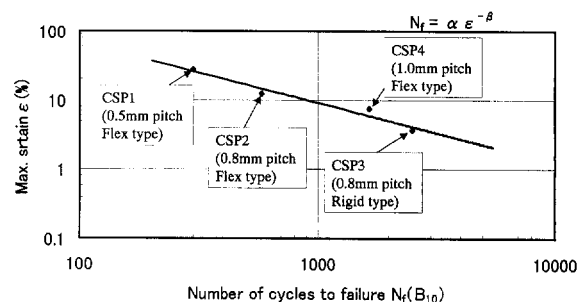


Fig. 14 Relationship between cycle to failure and strain

### 6. む す び

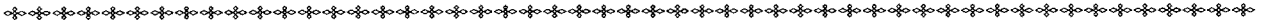
0.5 mm ピッチ CSP について、温度サイクル試験における実際の破壊モード調査と FEM 解析における 2 次元モデルの最適化により実際の破壊モードと一致したシミュレーション条件を確立した。また、この解析手法は、全ての CSP パッケージに適用できる方法であることを確認した。

今回の 2 次元モデルによる FEM 解析に要する時間は、3 次元モデルに比べて約 1/20~1/60 に短縮できた。

本研究を遂行するにあたり、電子部品部信頼性課のご協力をいただいたことに感謝いたします。

### ＜参 考 文 献＞

- 1) 春日壽夫：最新 CSP (FBGA) 技術と周辺技術の現状と課題，表面実装技術 1997-9.
- 2) 朝倉博史：爆発的に普及する CSP，NIKKEI MICRODEVICES，1998 年 2 月号.
- 3) 向井稔，他 2 名：高密度実装における応力解析・シミュレーション技術，SHM 会誌 Vol. 13, No. 5.
- 4) 海老原理徳，他 4 名：BGA パッケージはんだ接合部の疲労強度評価，エレクトロニクス実装学会 Vol. 1, No. 1 (1998).
- 5) 于強，他 1 名：BGA はんだ接合部の熱疲労寿命評価と BGA アッセンブリのはんだ接合部の非線形応力・ひずみ評価，日本機械学会 RC-144 エレクトロニクス・パッケージにおけるマイクロ接合の信頼性に関する調査研究分科会 (1998, 4).



〈著 者〉



平松 友幸 (ひらまつ ともゆき)

電子製造部  
電子製品の実装技術開発に従事。



園部 俊夫 (そのべ としお)

電子製造部  
電子製品の実装技術開発に従事。



松村 靖 (まつむら やすし)

電子製造部  
電子製品の実装技術開発に従事。