

特集 | ポリシリコンで埋込電極を形成したSOI構造を用いた 高アスペクト比単結晶マイクロ構造体の容量式加速度センサ*

Capacitive Accelerometer with High Aspect Ratio Single Crystalline Silicon Microstructure
Using the SOI Structure with Poly Crystalline Silicon-Based Interconnect technique

山本敏雅 加藤信之 松井正樹 竹内幸裕 大塚義則 秋田成行
Toshimasa YAMAMOTO Nobuyuki KATO Masaki MATSUI Yukihiko TAKEUCHI Yoshinori OTSUKA Shigeyuki AKITA

In this paper we propose a process to establish a capacitive accelerometer by embedding poly crystalline silicon based interconnection in the SOI (Silicon on Insulator) structure, thereby making the surface of the sensor substrate as flat as possible. With this process, a structure with a high aspect ratio made of single-crystalline silicon can be achieved.

In recent years, various types of sensors, such as capacitive accelerometers and gyros, based on surface micromachining technology have been reported, but their performance is currently limited by cross-axis sensitivity and electronic noise. So, to improve their performance, sensors need large sense capacitance and large mode separation. They are achieved by structures with high aspect-ratio and dielectric separation. Some processes which achieve these structure by using single crystalline silicon as its structure based on the SOI substrate are suggested^(1),2). The sensor needs to be capped during the mounting process so that it is resin-molded or, in the case of gyros, is packaged in a vacuum environment, and if possible the surface of the sensor substrate should be made flat.

Key Words : capacitive sensor, polysilicon-based interconnection, SOI structure, accelerometer

1. はじめに

近年、半導体製造プロセスを用いた表面マイクロマシニング技術による加速度センサ、ジャイロに代表される物理量センサの研究・開発が活発に行われている。中でも、加速度センサは、エアバッグシステム、アンチロックブレーキシステム等の車載用センサとして実用化されてきている^(1),2)。

こうした加速度センサには、ピエゾ抵抗型、静電容量型等の検出方式があるが、原理的に、高感度でできること、温度ドリフトを小さくできること等から、静電容量型が主流になってきている。しかしながら、これらの表面マイクロマシニング技術を用いた静電容量型のセンサでは、構造体膜厚が2 μm程度と薄いポリシリコン薄膜を構造体に使っているものがほとんどであり、他軸感度、電気的ノイズ等が性能向上の妨げとなっている。

これらを解決するためには、センサのトータル容量の増大、センシング部の機械的・電気的な分離が重要であり、そのためには、構造体厚さの増大・加工のアスペクト比の増大・電気的絶縁分離が必要となる。こ

れらを実現するものとして、SOK(Silicon on Insulator)基板を用いて単結晶シリコンを構造体に用いたプロセスが提案されてきている^(3),4)。

ところで、こうしたセンサを実装する際に樹脂モールドを行ったり、ジャイロのように雰囲気真空にしたりするために、センサにキャップを形成する必要があり、こうしたキャップを実現するためにはセンサ基板の表面のうち、キャップを形成する部分はFig.1,2のCap bonding regionに示すように平坦であることが望ましい。なお、Fig.1は、Fig.2の断面斜視図である。

ここで、Fig.2を用いて容量型加速度センサの原理を説明する。Fig.2で示す容量型加速度センサでは、梁構造体上の可動電極の両側に固定電極を配置して2組の静電容量を構成し、可動電極と第1の固定電極との間に形成された第1のコンデンサの容量、および可動電極と第2の固定電極との間に形成された第2のコンデンサ容量に基づいて梁構造体に作用する加速度を検出できるようになっている。

* 2000 IEEE.Reprinted, with permission, from " The 13th Annual International Conference on Micro Electro Mechanical Systems (MEMS 2000) "; 1/2000, held in Miyazaki, Japan, " Capacitive Accelerometer with High Aspect Ratio single crystalline Silicon Microstructure Using the SOI Structure with Polysilicon-Based Interconnect technique " より和訳し、一部加筆して転載

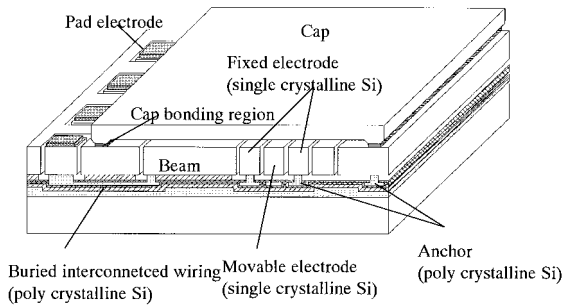


Fig. 1 Sensor cross sectional image with a cap viewed diagonally

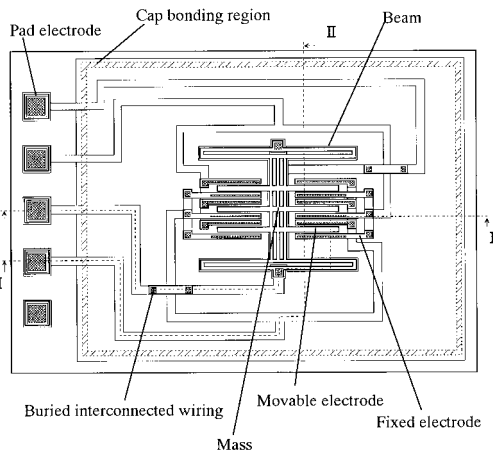


Fig. 2 Accelerometer image with a cap viewed from above

例えば、可動電極が、加速度を受けてFig.2の紙面上方に変位した場合には、第1(上側)の固定電極との間の静電容量が増大し、第2(下側)の固定電極との間の静電容量が減少する。この静電容量変化を電圧変化に変換して、出力することで加速度の検出が可能となる。

本稿では、ポリシリコンをSOI基板中に埋め込むことで、埋込配線を形成し、基板表面に配線が無く表面はフラットとなり、ダイシング時や実装時の表面保護のためのキャップを形成することが容易なSOI基板構造を考案、試作し、加速度センサとしての基本動作を確認したので報告する。また、このような構造であれば、構造体厚さは自由に設定でき、加工のアスペクト比(構造体厚さと電極間隔の比)を高くすることができれば単位面積あたりの静電容量を大きくでき、センサトータル容量の増大、センサの高感度化が可能となる。

2. 埋込配線形成技術

Fig.2に示したように、一般に容量型センサにおいては可動電極の両側に固定電極を配置して2組の静電容量を構成したものを櫛歯状に配置し、これらを配線することで大きな静電容量を得ている。そのためには、この2組の固定電極をそれぞれ結線した上で、外部に取り出す必要があり、配線が交差する部分が必要になる。しかしながら、通常のSOI基板を用いたのでは、このような配線が交差する部分を形成することは困難である。

そこで、我々は、ポリシリコンで形成した配線をSOI基板の中に埋め込むことで、実現できないかと考えた。本センサの試作に用いたプロセスフローをFig.3に示す断面図を用いて説明する。なお、Fig.3は、Fig.2の - 断面図である。

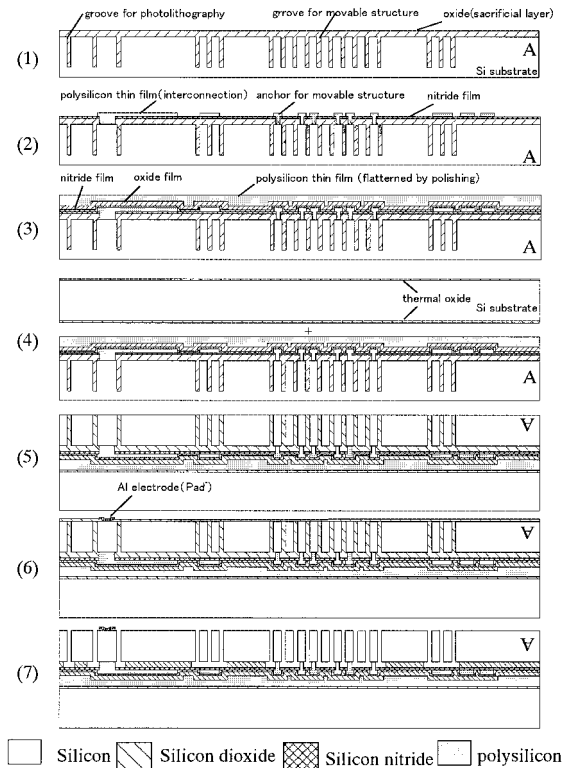


Fig. 3 Process flow of the capacitive accelerometer embedding polysilicon-based interconnection in the SOI structure (Shown in cross section)

(1) 単結晶シリコン基板に構造体を形成する溝をRIEにより加工し、犠牲層となる酸化膜を熱酸化、CVD(Chemical Vapor Deposition)等により埋め戻す。なお、この溝と酸化膜は、後で、マスク合わせ用の目印となる他、接合後CMP(Chemical Mechanical Polish)で研磨する際に所望の構造体厚さを得るため

の研磨ストップとしての役目も果たす。

(2) 犠牲層エッチング時のストップとなる窒化膜をLP-CVD(Low Pressure Chemical Vapor Deposition)等により形成する。可動構造体を固定するため窒化膜・酸化膜の一部をRIEにより除去した後、電極・埋込配線となるポリシリコン薄膜をLP-CVDで成膜、RIEによりパターンニングする。

(3) さらに窒化膜、酸化膜をLP-CVD等により成膜した後、再度ポリシリコンをLP-CVDにより成膜し、CMPで研磨して平坦化する。

(4) あらかじめ熱酸化しておいたもう一枚のシリコン基板をこの平坦化した基板と直接接合する。このとき、接合強度を高めるために1150℃、1時間程度の熱処理を行う。

(5) 次に、接合した基板を上下逆さにして所望の構造体厚さが得られるまでCMPで研磨を行う。この時、工程(1)で形成された溝に埋め込まれた酸化膜が、シリコンに比較して研磨レートが遅いことを利用して、エッチングストップとしている。

(6) 層間絶縁膜となる酸化膜を形成した後、パッドとなるAl電極を形成する。

最後に犠牲層である酸化膜をHFによりエッチング除去し、構造体を可動とする。

なお、今回はこの上にキャップを接合することは行っていない。

3. 試作結果

ここで述べるウェハ接合技術は単純なSOIのような単結晶Si同士の接合とは異なり、構造体を分離する溝の部分に酸化膜を埋め込んだ構造であり、また、ポリシリコンによる埋込配線および電極固定(アンカ)部を埋め込んだ構造で接合するため、段差を考慮した接合が必要となる。これは、ポリシリコン配線を有するSOI構造において最も重要である。そこで我々は、この段差を、Fig.3の(3)の工程で示したように厚く積んだポリシリコンをCMPで平坦化したものと、あらかじめ熱酸化しておいたもう一枚の基板とを接合するという方法で行った。

実験の結果、Fig.4に示すような接合不良が発生した。Fig.5に接合不良部分を拡大した写真を示す。Fig.5よりアンカ部は接合されているが、その他の部分が接合されていないために、CMPにより取れたものと考えられる(Void)。接合、研磨のプロセスフローから考えて、接合時の熱処理によりアンカとそれ

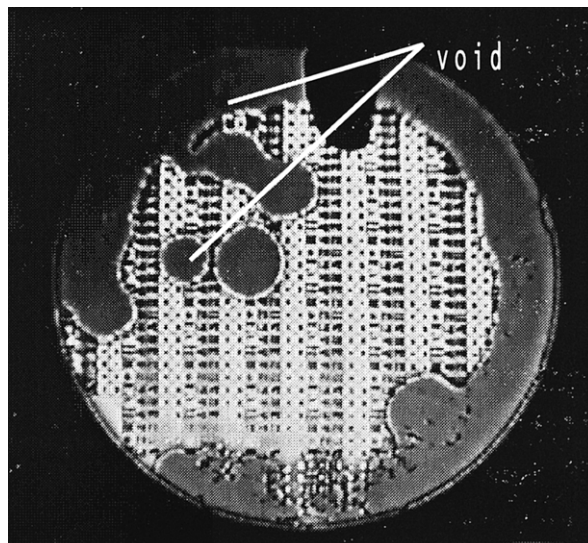


Fig. 4 Void after bonding and polishin (Magic mirror image)

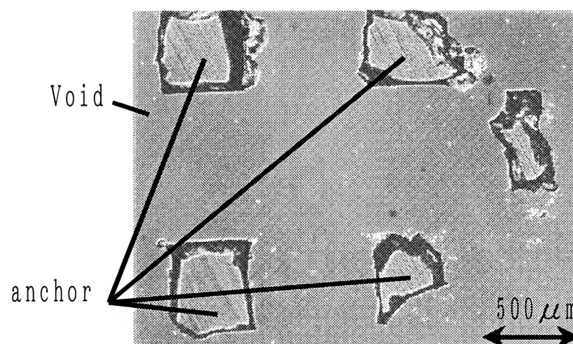


Fig. 5 Enlarged photograph of void (Optical microscope image)

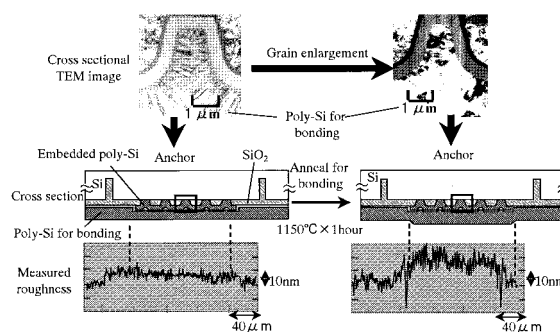


Fig. 6 Changes in the polycrystalline silicon before and after annealing

外の部分で段差が生じたことが原因ではないかと考えられる。そこで、接合時の熱処理前後においてアンカ部の結晶構造と表面ラフネスの変化の様子を観察した結果をFig.6に示す。

Fig.6に示した写真は、アンカ部のポリシリコンの断面TEM像である。アンカ部のポリシリコンは熱処理をすることで大粒径化している。この時、大粒径化に伴って、ポリシリコンは体積膨張していると考えられるが、アンカ部では酸化膜により横方向へ体積膨張が規制されてしまうため縦方向、すなわち膜厚方向への体積膨張が他の領域より大きくなり、結果として、ポリシリコンに凹凸が生じると考えられる。

そこで、この対策として、接合前にあらかじめ熱処理を行っておくことを考えた。つまり、あらかじめ、接合同じ温度で熱処理を行い、ポリシリコンの粒成長を飽和させた状態でCMPによる平坦化を行うことで、接合時には段差が発生しないようにした。そのため、あらかじめポリシリコンの粒成長が飽和するまでの時間を求めた。

その評価は、熱処理後に段差測定と魔鏡観察(表面の微小凹凸顕在化して観察できる)を行いどちらでも段差が検出できないようになるまでの時間を求めた。その結果、10時間以上の熱処理を行っておけば、差が測定分解能(5nm)以下、魔鏡観察でも凹凸が観察されなくなった。

また、Fig.7に示すように、構造体に割れ(crack)が生じるという問題が発生することもわかった。その断面写真をFig.8に示す。これは、部分的に形成された溝に埋め込まれた酸化膜とそれ以外の部分のシリコンとで熱膨張係数が異なるために、接合時における高温の熱処理によって生じた応力によって亀裂が入ったものと考えられる。

以上のことから、接合における高温処理による応力の発生を抑制することを考え、プロセスフローを変更した。変更後のプロセスフローをFig.9に示すが、構造体の形成を接合後に行うことで、溝部分への酸化膜の埋込を行わないようにし、応力の発生を抑制している。

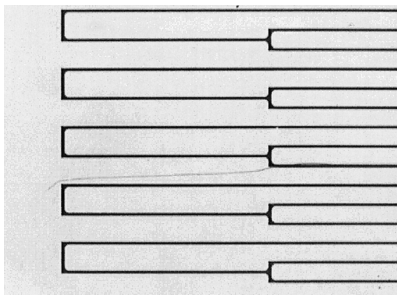


Fig. 7 Cracks in the structure (Optical microscope image)

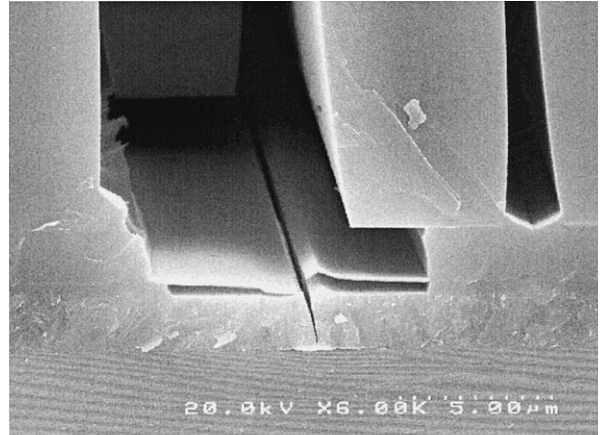


Fig. 8 Cross-sectional SEM photograph showing cracks in the structure

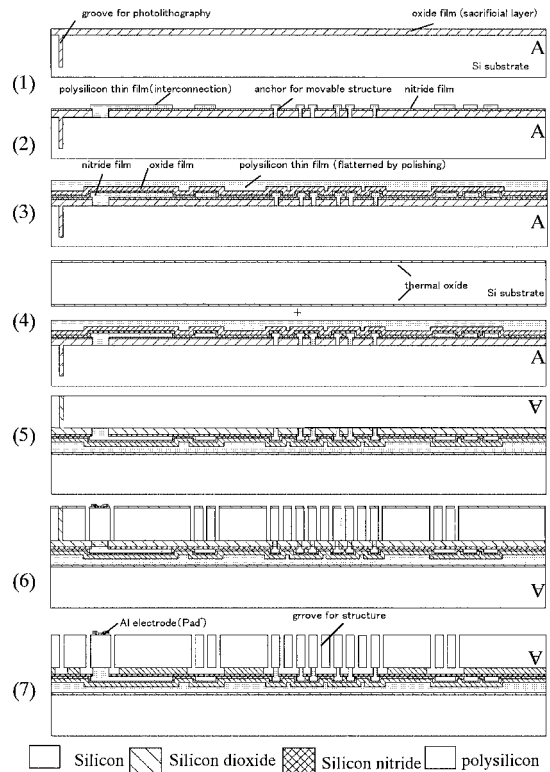


Fig. 9 Improved process flow

このようにして作製した静電容量型加速度センサの表面顕微鏡写真をFig.10に、断面SEM写真をFig.11に示す。センサとパッド電極の間には、表面に凹凸がなく平坦な領域が広く得られているのがわかる。従って、Fig.1, Fig.2に示したようにキャップの接合部を設けることが可能となる。

また、Fig.12のアンカ部の拡大写真に示すように埋め込まれたポリシリコンによる構造体のアンカ部分が

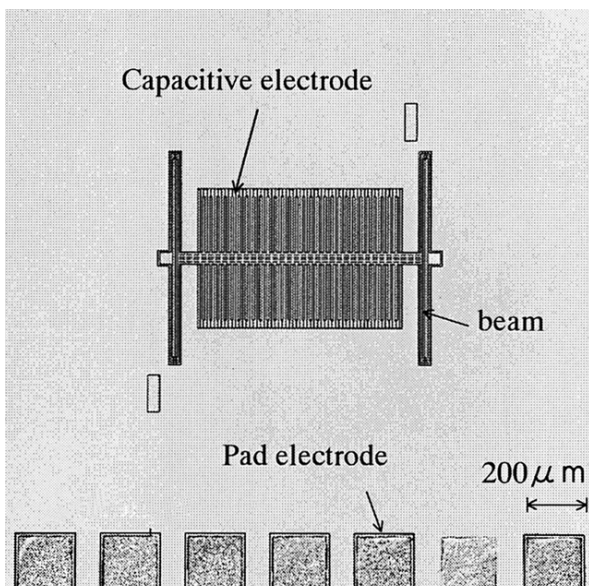


Fig. 10 Photograph of sensor in plane view (Optical photomicrograph)

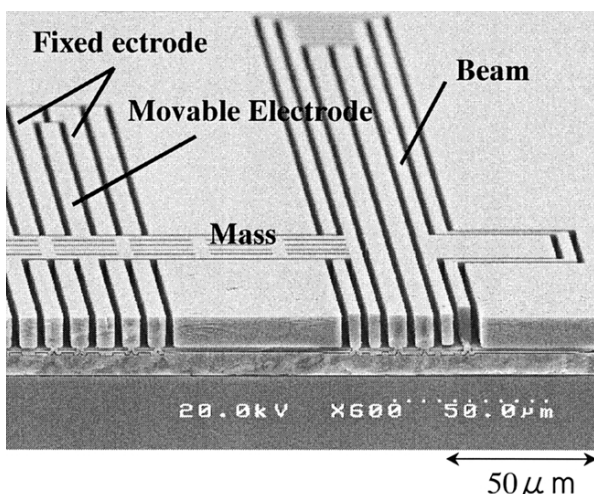


Fig. 11 Cross-sectional SEM photograph of capacitive accelerometer with polycrystalline silicon based interconnection

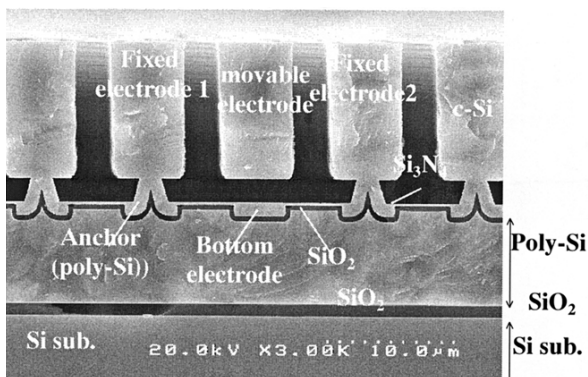


Fig. 12 Enlarged SEM photograph showing the anchor

形成できており、犠牲層エッチング後もしっかりと基板に固定されていることがわかる。

4. 加振特性

このようにして製作した静電容量型加速度センサについて、加振器により加速度を加え、加速度に対する出力特性を評価した。評価に用いた回路のブロック図をFig.13に示す。2組の固定電極にそれぞれ、逆相のパルス電圧を印加し、可動電極からの出力をC/V変換、市販のIC(AD630)を用いて同期検波した後、LPFによりノイズを除去した後、出力とした。今回は、サーボ制御は行っていない。加速度センサの印加加速度に対する出力電圧の特性をFig.14に示す。加速度に対してリニアな特性が得られていることがわかる。

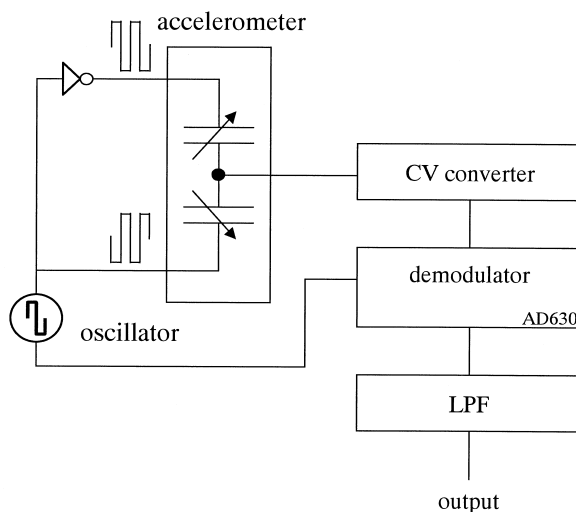


Fig. 13 Block diagram of the circuit examined

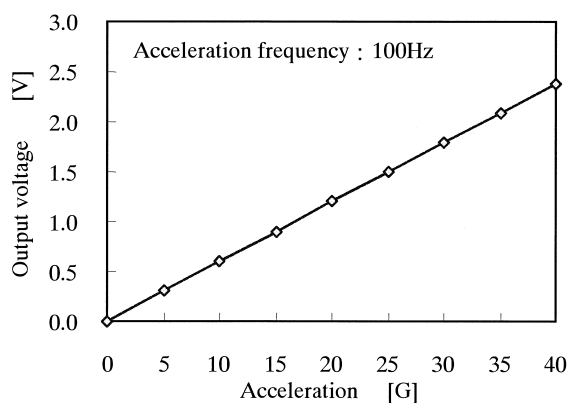


Fig. 14 Acceleration output characteristics

5. おわりに

ポリシリコン埋込配線を有したSOI構造の静電容量型加速度センサを試作，評価した．埋込配線のために生じる段差に起因したSOI形成時の未接合領域について，平坦化に用いるポリシリコンをあらかじめ熱処理により大粒径化させておくことで，接合時に体積膨張して段差が生じるのを抑え，未接合の発生を抑制した．このようにして試作した加速度センサにおいて，加速度特性を評価したところ，リニアな特性が得られることを確認した．

<参考文献>

- 1) W.Kuehnel, S.Sherman, " A Surface micromachined silicon accelerometer with on-chip detection circuitry ", Sensors and Actuators A45 (1994) p.7
- 2) M.Offenberg, F.Larmer, B.Lesner, H.Munzel and W.Riethmuller, " Novel Process for a Monolithic Integrated Accelerometer ", 1995 International Conference on Solid - State Sensors and Actuators(Transducers 95) p.589
- 3) C. Gui, H. Jansen, M. de Boer, J. W. Berenschot, J. G. E. Gardeniers and M. Elewenspoek, " High Aspect Ratio Single Crystalline Silicon Microstructures Fabricated With Multi Layer Substrates ; " 1997 International Conference on Solid-State Sensors and Actuators(Transducers 97) p.633
- 4) T.J. Brosnihan, J. M. Bustillo, Albert P. Pisano, and R. T. Howe, " Embedded International and Electrical Isolation for High-Aspect-Ratio, SOI Inertial Instruments ; " 1997 International Conference on Solid-State Sensors and Actuators(Transducers 97) p.637

<著 者>



山本 敏雅
(やまもと としまさ)

基礎研究所
SiMOSデバイス，Si半導体センサ
関連の研究開発に従事．



竹内 幸裕
(たけうち ゆきひろ)

基礎研究所
化合物半導体のデバイス・結晶成
長，Si半導体センサ関連の研究開
発に従事．



加藤 信之
(かとう のぶゆき)

基礎研究所
Si半導体センサ関連の研究開発に
従事．



大塚 義則
(おおつか よしのり)

基礎研究所
半導体センサ関連のデバイス・プロセ
ス，自動車用LSIの研究開発に従事．



松井 正樹
(まつい まさき)

基礎研究所
半導体デバイスにおける接合，研
磨関連の研究開発に従事．



秋田 成行
(あきた しげゆき)

基礎研究所
半導体センサ，自動車用LSI，
ASIC機能回路の研究開発に従事．