

# 論文 JPSを用いた樹脂埋め込み型の積層実装技術\*

A New 3-D Packaging Technology Utilizing Jet Printing System

笹谷 卓也

Takanari SASAYA

川北 晋一郎

Shinichiro KAWAKITA

鶴田 和弘

Kazuhiro TSURUTA

川原 伸章

Nobuaki KAWAHARA

This paper reports a new three-dimensional packaging method suitable for high-density packaging for mixed chip types. In this method, bare chips of LSI are bonded on a printed circuit board, embedded in a resin mold, polished to 100 $\mu$ m in thickness and stacked layer by layer. The wiring pattern and feed through electrodes made of gold are fabricated by JPS (Jet Printing System) without any photolithography process. This packaging method was applied to an in-pipe inspection micro robot in order to miniaturize the control circuit. The packaging density of this method was two times higher than conventional two-dimensional packaging.

**Key words** : Three-dimensional, Stacked layer, Packaging, JPS

## 1. はじめに

近年、電子回路の高密度実装技術は飛躍的に向上し、携帯電話をはじめとする携帯情報端末の小型・高機能化の必須技術となっている。一方で、更なる小型・高機能化のため従来の平面を実装領域とする表面実装技術の限界を克服するための三次元化の検討がいくつかの方法で行なわれている<sup>1)</sup>。

そのなかでもIC・LSIのベアチップの積層実装は、実装密度の飛躍的向上が可能であり、特にCOC (Chip on Chip) やWOW (Wafer on Wafer) に代表されるチップを直接積層する方法では非常に高密度な実装が実現している。しかし、チップサイズや電極位置が同一のものに限定されたり、ウエハレベルでの処理を必要とするため一般的な汎用IC・LSIのようにチップサイズや電極配置が個々に異なっていたり、ウエハ状態で入手困難なものへの適用が難しいといった面がある。

一方、ベアチップを樹脂に埋め込みチップ間を樹脂層内に形成した層間配線で接続する方法は、チップサイズや電極配置に関する制約が少なく汎用IC・LSIに幅広く適用可能である。

本稿では、この構造を、写真蝕刻技術を使わない簡便なプロセスで実現する方法としてJPS (Jet Printing

System)を利用した新規な積層実装プロセスを提案し、そのプロセスの成立性を確認した結果を報告する。

## 2. 積層プロセスの概要

提案した積層構造は、ベアチップ埋め込み層とベアチップ間を積層方向に接続する層間配線層からなる。最下層と最上層は外部との入出力をかねる積層配線基板とし、積層方向にほぼ対称な構成とし、また積層する各層の厚みを薄くすることで、熱膨張係数差や樹脂の硬化収縮により積層体が反ることを防止する。

Fig.1に提案した積層実装プロセスの概略を示す。積層配線基板上にFC (Flip Chip) 実装用のパンプ電極 (高さ: 約50  $\mu$ m) と層間接続用の柱状電極 (高

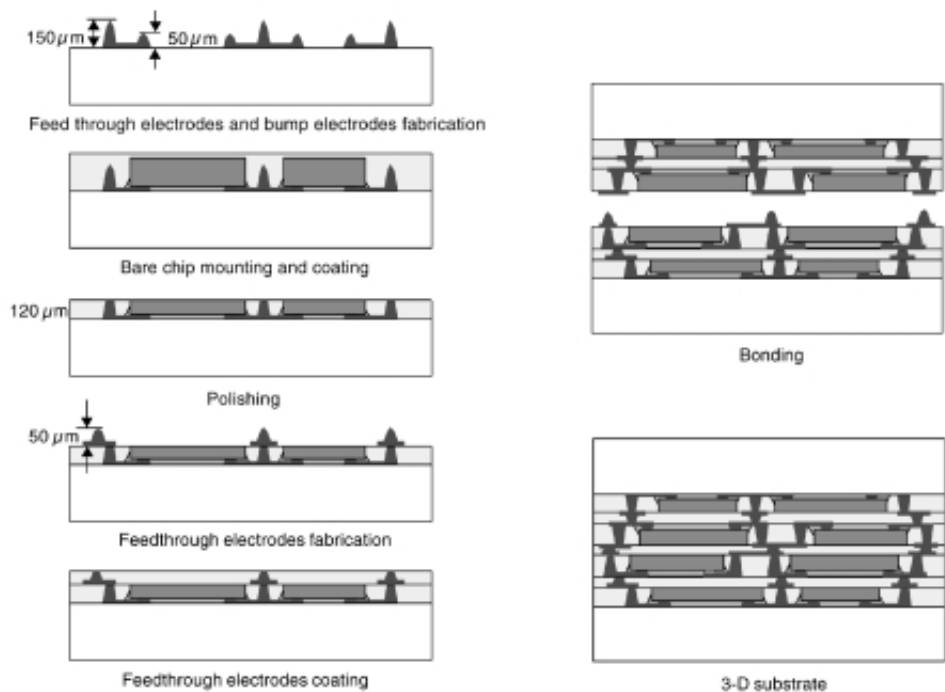


Fig.1 Schematics of 3-D packaging process

\* (社)電子情報通信学会の了解を得て学会論文誌 C, Vol. J85-C No.5 (2002.5) より一部加筆して転載

さ：約150 μm)を局所成膜技術を用いて形成し、ACP (Anisotropic Conductive Paste)を用いてペアチップをFC実装する。その後、ペアチップを実装した面全体を樹脂で覆い、樹脂層に埋め込まれたペアチップと柱状電極とともに厚さ120 μm程度にまで研削する。この工程でペアチップが薄片化されるとともに樹脂層表面に柱状電極が露出し、ペアチップ埋め込み層が形成される。層間配線層は柱状電極が露出したチップ埋め込み層の表面に局所成膜技術を用いて形成した引き回し配線と層間接続用のパンプ電極(高さ：約50 μm)を樹脂層で埋め込み形成する。埋め込みは、熱硬化性樹脂を塗布し平板で用いて加圧平坦化するとともに加熱硬化させて行う。この加圧の際にパンプ電極が層間配線層の表面に露出する。以上の工程を繰り返しチップ埋め込み層と層間配線層を必要数積層する。ここで積層数を増やすと熱膨張係数差や熱硬化性樹脂の硬化収縮により、積層プロセス途中で積層界面の剥がれが発生する。これを防止するため最終的に必要な積層数の半分までを形成した積層体を張り合わせて最終的な積層構造を得る。このようにして得られた積層構造は積層方向にほぼ対称構造となりプロセス終了後の積層体の反りを防止する効果もある。

以上、説明したプロセスの特徴は大きく分けて二つある。

第一にペアチップの取扱いが容易になるとともにサイズの異なるペアチップの積層が可能になることである。ペアチップの入手形態はウエハ状態よりもチップ状態が一般的である。その場合チップへのパンプ電極の形成や、薄片化等の追加加工は困難である。本プロセスでは基板側にFC用のパンプ電極を形成しACPを用いた接続を利用するためチップ側の電極構造の制約が少なく追加加工の必要が無い。また、機械的なストレスの加わるFC実装工程をチップが十分に厚い状態で行うため、FC実装の際に発生するチップ損傷を回避できる。また、チップの薄片化を樹脂に埋め込んだ状態で行うためチップ単体で研削を行う際に生じやすいチップ端部での欠けを防止できる。また、サイズの異なるチップへの対応は、層間配線層を介することで対応できる。層間配線層を多層化することで任意の接続を可能とする。

第二に、プロセスが単純なことが挙げられる。局所成膜技術を用いて形成した柱状電極やパンプ電極を樹脂に埋め込むことで層間接続配線を実現しており、ビア形成やビアへの導体の埋め込みといった工程やホ

ト・エッチングプロセスを不要にした。

以下、電極形成工程・FC実装工程・研削工程・層間配線層形成工程の各工程について述べる。

### 2.1 電極・配線形成工程

本プロセスでは、電極・配線形成にJPS (Jet Printing System)<sup>2)</sup>を用いた。JPSは超微粒子を用いた局所的な堆積方法でホット工程やエッチング工程なしに電極・配線形成を可能にする。その構成をFig.2に示す。超微粒子生成室内の高圧ヘリウム雰囲気中で蒸発した金属原子はヘリウムと衝突し急冷され金属超微粒子となる。発生した超微粒子は、超微粒子生成室と成膜室をつなぐ搬送管に吸い込まれ超微粒子生成室と成膜室間の圧力差で高速に移動し成膜室に設けられた直径100 μmのノズルから数百m/s以上の速度で吹き出し、基板に衝突し局所的な堆積膜を形成する。

基板はXYステージに保持され、ステージを走査することで任意形状の電極・配線パターンを得ることができる。XYステージは、回路パターンレイアウトCADから出力されるガーバデータをもとに制御されるように構成した。これによりCADデータをもとに短時間に電極・配線パターンを形成できる。

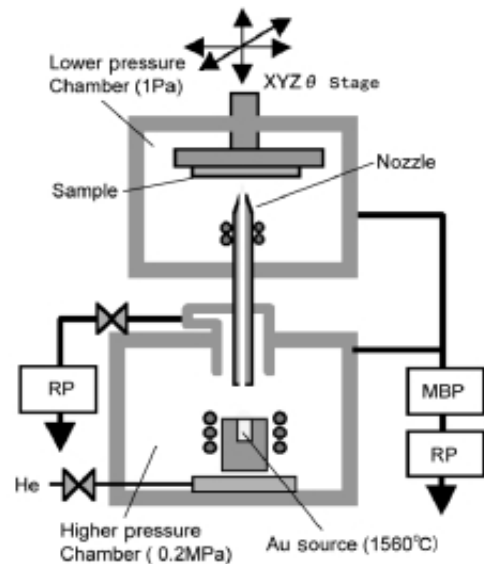


Fig.2 Structure of JPS

柱状電極の高さは、堆積時間の制御で行う。Fig.3に堆積時間と堆積膜厚の関係を示す。堆積時間と堆積膜厚はリニアな関係にあり、成膜時間の制御で堆積膜厚すなわち柱状電極の高さ制御が可能となる。

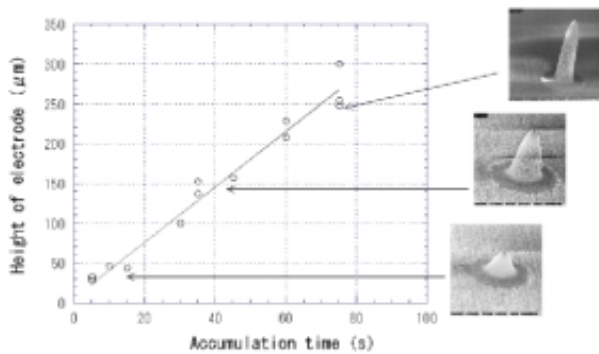
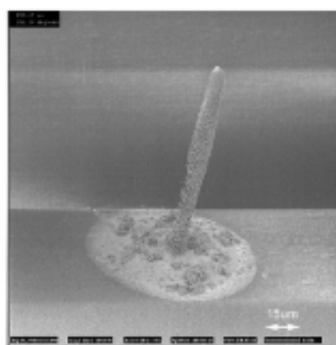
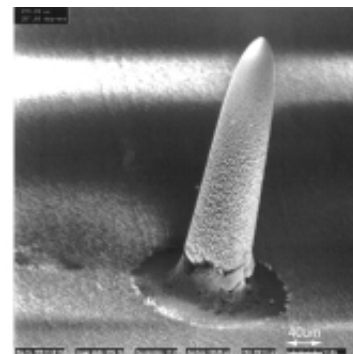


Fig.3 Graph of accumulation rate

本プロセスは、柱状電極やバンプ電極を樹脂層で埋め込む際に、これらの電極が樹脂の流動で倒れたり、変形したりすることの無いようにする必要がある。特に柱状電極はアスペクト比が大きくこの問題が大きい。JPSで形成した柱状電極の機械的強度はその形状と微粒子の粒径に依存する。これらはJPS装置の搬送管と金属蒸発源の位置関係に大きく影響される。Fig.4に搬送管-金属蒸発源の距離(D)を変化させたときの電極形状の違いを示す。Fig.4(a)は、D=40mmとした場合の電極形状で非常に高アスペクト比の形状となっている。これは蒸発源から搬送管までの距離が遠く超微粒子生成室での超微粒子の滞留時間が長くなり超微粒子の凝集により粒径が大きくなり、成膜室での直進性が高くなった結果と考えられる。一方、Fig.4(b)は、D=20mmとした場合の電極形状で底部が広がった



(a) Distance between Au source-pipe=40mm



(b) Distance between Au source-pipe=20mm

Fig.4 Feed through formed by JPS

円錐形状を示す。これは、超微粒子生成室での超微粒子の滞留時間が短く超微粒子が凝集する前に搬送管に導入された結果であり、この電極形状は埋め込み樹脂の塗布・流動に対して十分な剛性を持つ。

すでに述べたようにJPSは、ホトマスク無しの直描方式であり電極・配線形成工程を大幅に簡素化できるが、高密度実装のためには電極・配線ピッチをどこまで小さくできるかが重要である。Fig.5にJPSで形成した独立する2つの電極間のオープン・ショート電極ピッチと電極高さを変化させて評価した結果をまとめる。

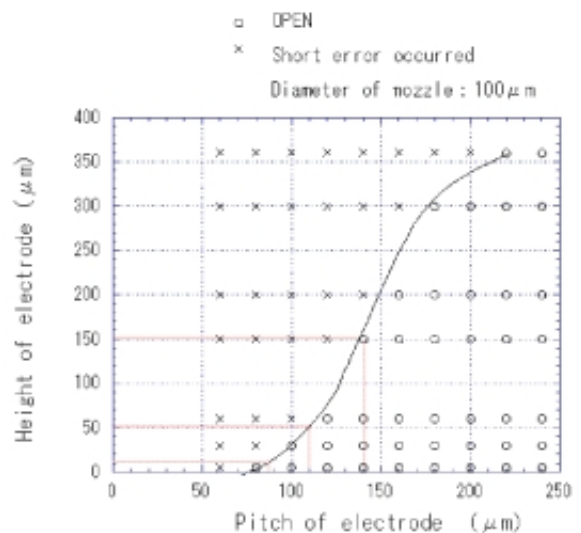


Fig.5 Relationship between height of vertical electrode and pitch

電氣的に分離していることが確認できる最小電極ピッチは、電極高さが増加するとともに広がる。配線膜厚に相当する電極高さ10 μmの場合で最小ピッチ90 μm、FC接続や層間接続層に用いるバンプ電極に相

当する電極高さ $60\mu\text{m}$ の場合で最小ピッチ $110\mu\text{m}$ 、チップ埋め込み層の柱状電極に相当する電極高さ $150\mu\text{m}$ で最小ピッチ $140\mu\text{m}$ が実現できる。これは、表面実装用の高密度積層基板の仕様とほぼ同等であり十分な値である。

すでにふれたように電極・配線パターンはガーバーデータをもとに制御されるXYステージの走査で一括形成できる。Fig.6にFC用バンプ電極とチップ埋め込み層の上下を接続する柱状電極およびその間の接続配線を一括形成した例を示す。

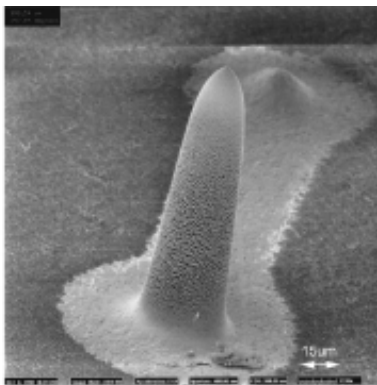


Fig.6 SEM image of Feed through, bump and plane wire

## 2.2 FC実装

ヘアチップの実装は、ACP(Anisotropic Conductive Paste)を用いたFC実装を適用した。ACPはエポキシ系の熱硬化性樹脂に直径、数 $\mu\text{m}$ の導電性粒子を分散させたもので、従来の表面実装に用いられている。実装時にチップに荷重を加えながら樹脂を硬化させてチップ側の電極と対向電極を固定するとともに電極間に挟まれた導電性粒子により安定な低抵抗の接続を得るものである。本プロセスにACPを適用するためには、超微粒子を用いて形成したバンプ電極がFC実装時の荷重に対して座屈などの異常な変形を起こさないことが要求される。JPSで形成したバンプ電極を、FC実装時に加わる標準的な荷重範囲(0.49~1.47N)で実際に変形させた結果、座屈等の異常な変形は無く、またバンプ電極頭頂部のつぶれ面の直径は約 $30\sim 40\mu\text{m}$ で安定していることを確認した。Fig.7に0.49Nの荷重条件で変形したバンプ電極の例を示す。以上の結果、超微粒子で形成したバンプ電極がACPを用いた狭ピッチのFC実装に適用可能であることを確認した。

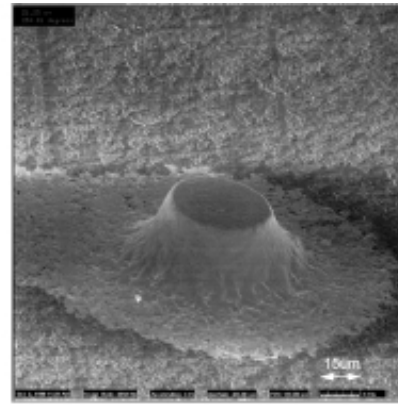


Fig.7 Pressed bump through FC attachment

## 2.3 研削工程

FC実装後のチップと層間接続用の柱状電極は熱硬化性エポキシ樹脂で埋め込み後、一括して研削する。研削後の樹脂層表面には後工程で配線を形成するため平坦性を確保する必要がある。#370程度のダイヤモンド砥石を用いることで砥石の目詰まりとチップへの機械的なダメージを回避しながら、硬度が大きく異なるシリコンと埋め込み樹脂および柱状電極を一括して研削した。

Fig.8, Fig.9に研削後のチップ埋め込み層の表面と断面を示す。埋め込み樹脂、電極が均一に研削され、またチップ端部には欠け等も見られず良好な研削面が得られていることが確認できる。

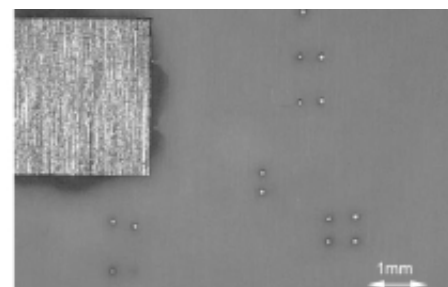


Fig.8 Photo of chip embedded surface after polished

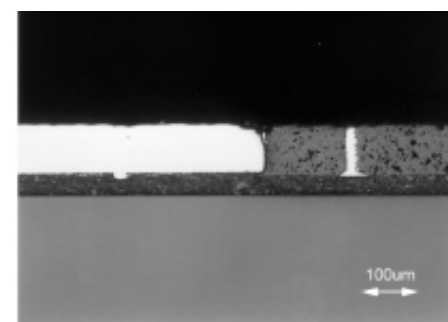


Fig.9 Cross-section of chip embedded layer

### 2.4 層間配線層形成工程

層間配線層は、パンプ電極を熱硬化性樹脂で埋め込むだけの簡単なプロセスで形成する。

Fig.10にその工程を示す。研削後のチップ埋め込み層表面にJPSでパンプ電極（高さ50～60μm）と配線を形成し、そこに熱硬化性樹脂を塗布する。塗布した樹脂を平板で加圧し平坦化するとともにパンプ電極を変形させる。埋め込み樹脂の熱硬化は平板で加圧した状態で行ない、硬化後に平板を樹脂層から剥離する。この熱硬化は、すでに形成してある下層にパンプ電極が沈み込む等のダメージを与えないように、使用する樹脂のガラス転移点（ $T_g=150$ ）より十分低い温度（110～120）で仮硬化させ、荷重を除いた後でより高い温度（160）で本硬化を行う2段階の硬化を行った。Fig.11に本プロセスで作製した層間配線層の断面構造を示す。

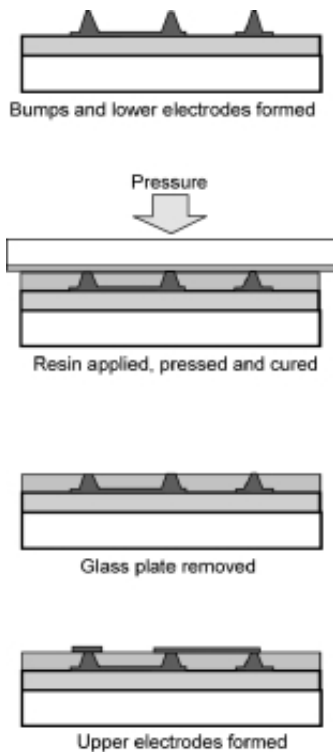


Fig.10 Process of feed through forming

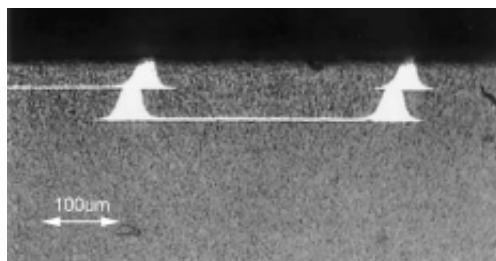


Fig.11 Cross-section of feed through

### 2.5 電気特性

JPSで形成した層間配線層の平面配線の導電率は、JPSでえられる堆積膜の密度に依存する。これはバルクの60～70%の値を示し実用上問題ないレベルであった。一方、層間配線層の垂直部の抵抗はFig.10のプロセス中で示す平板の荷重条件に依存する。Fig.12に荷重条件と垂直方法の接続抵抗の関係を示す。荷重条件には最適値が存在し0.74Nで5m程度の安定した低抵抗の接続が得られ、実用上問題ないレベルであることが確認できる。なお高荷重での接続抵抗の増加は、パンプ電極の下層への沈み込みが発生していることが考えられる。

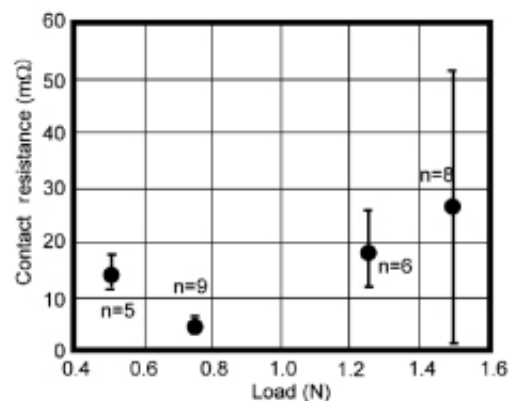


Fig.12 Relationship between resistance vs. load

### 3. 回路モジュールへの適用

本積層構造・プロセスを実際の回路に応用した例を示す。我々は通商産業省工業技術院（現：経済産業省）産業科学技術開発制度に基づく「マイクロマシン技術の研究開発」において、発電施設などで直径10mm程度の細管内部の検査を想定した管内検査システム<sup>3)</sup>の研究開発を行った。このシステムはFig.13に示したように直径9.5mm、長さ60mm程度の円筒形状で配管内を無線で移動し<sup>4)</sup>、搭載したCCDカメラ<sup>5)</sup>により管内を撮影するとともに画像データを外部への送信する機能を持つ。

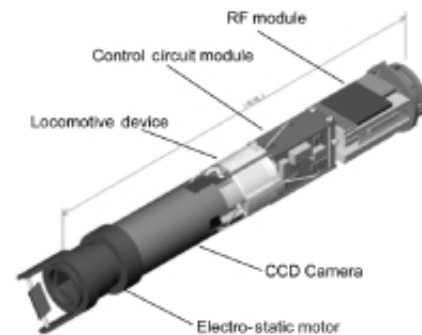


Fig.13 Structure of in-pipe inspection micro robot

このように複数の機能を制御・駆動するためシステムには、Table 1に示す多種の汎用LSI・ICで構成される回路を搭載する。空間的な制約の大きな当システムに、これらの多種のLSI・ICから構成される回路を実装するためFig.14に示す構成で回路モジュールを形成した。

Table 1 Bare chips for control circuit

Function	Name	Size (mm×mm)	Number of Electrode Pads	Number of Chips
Voltage regulator (Linear regulator)	LT1120	2.0×3.0	9	1
	MAX664	1.6×2.0	8	2
Voltage monitor (Comparator)	MAX942	1.6×1.6	8	3
System control (G/A)	CMOS9HD	3.9×3.9	160	1
PZT driver (AnalogSW)	MAX352	2.0×2.4	16	2
Wave former (Comparator)	MAX942	1.6×1.6	8	1

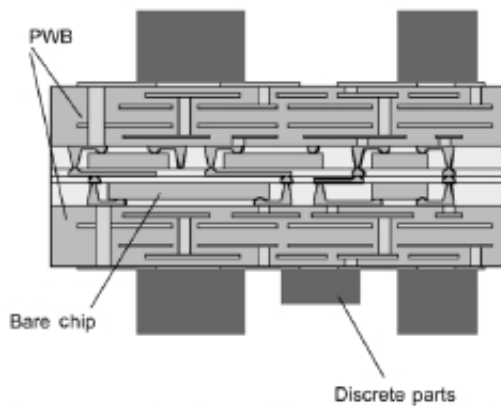


Fig.14 Cross-section schematics of control circuit module

LSI・ICはすべて入出力端子と抵抗・コンデンサ等のディスクリート部品の搭載スペースを兼ねる配線基板間に2層に積層して配置した。上下の配線基板を含め、積層方向に対称な構造とし各層の熱膨張係数差によって積層プロセス中に生じる基板の反りを低減している。配線基板は、サブトラクティブ工法で作製した最小配線ピッチ：120μm、ビア径：0.3mmの6層配線基板を用いた。基板サイズは50mm×50mmとし8回路分を一括して積層し積層後にダイシングで分離する方式をとって収率を上げている。

Fig.15に積層実装後の制御回路モジュールの断面構造を示す。厚さ約100μmに薄片化したチップを2層に積層し、厚さ50μmの2層の積層配線が、積層したチップ間と上下の配線基板間を接続していることが確認できる。

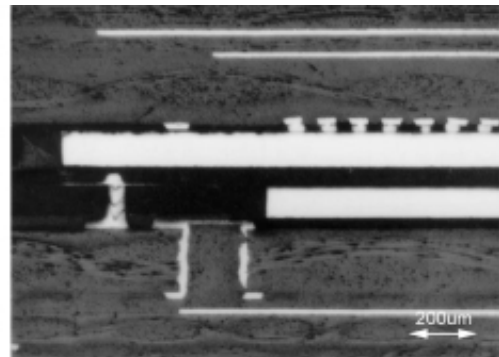
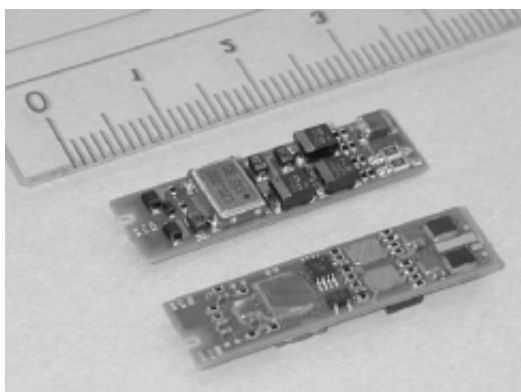
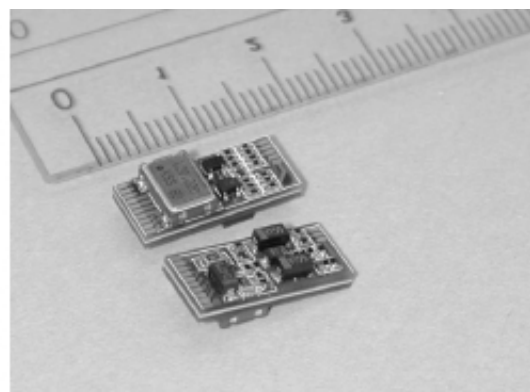


Fig.15 Cross-section of control circuit module

Fig.16に、積層実装技術を用いて試作したモジュールの外観を同一回路仕様で表面実装を適用した場合と対比して示す。モジュールサイズは、表面実装の場合



(a) Plane packaging technology utilized



(b) 3-Dimensional packaging technology utilized

Fig.16 Photo of control circuit module

合で8mm×30mm，積層実装の場合では7mm×15mmとなり約1/2の小型化が実現されていることがわかる。また，積層実装のモジュールに用いた最上層と最下層の積層基板は，ビア径：0.3mmと表面実装で用いた回路基板のビア径：0.1mmのものより低密度な基板を使用している。

#### 4. おわりに

外見寸法の異なる複数のLSI・ICから構成される回路システムを三次元的に集積化し小型・高機能化する積層実装技術として，ペアチップを樹脂に埋め込みチップ間を樹脂層内に形成した層間配線で接続する構造を，写真蝕刻技術を使わない簡便なプロセスで実現する方法としてJPS (Jet Printing System)を利用した新規な積層実装プロセスを提案し，そのプロセスの成立性を確認した。

この積層技術をゲートアレイ，アナログスイッチIC，リアレギュレータIC，コンパレータICからなる回路の実装に適用し，表面実装の適用では8mm×30mmであった回路モジュールサイズを7mm×15mmまで小型化し，大幅に高集積化できることを確認した。

本技術は回路モジュールの面積を大幅に縮小できるため，携帯電話やウェアラブルズなどの携帯情報機器や，小型化を求める様々なエレクトロニクス製品への応用が期待される。

#### 謝辞

なお，本研究は，通商産業省工業技術院（現：経済産業省）の産業科学技術研究開発制度に基づく「マイクロマシン技術の研究開発」の一環として，NEDOから委託を受けた（財）マイクロマシンセンターの再委託業務として，（株）デンソーが実施したものである。

#### <参考文献>

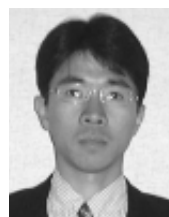
- 1) Said F. Al-sarawi, Derek Addott and Paul D. Franzone, "A Review of 3-D Packaging Technology", IEEE Transaction on Components, Packaging, and Manufacturing Technology, Part B, Vol.21, No.1 (Feb.1998), pp.2-14.
- 2) 小田正明, 淵田英嗣, 美原康雄, 賀集誠一郎, "超微粒子による乾式直接描画システム", 電子材料 (Oct. 1994)
- 3) Nobuaki Kawahara, "Experimental Wireless Micromachine for Inspection on Inner Surface of Tubes", Proceedings of The Fifth International Micromachine Symposium (Feb.1998), pp.151-160.
- 4) 柴田貴行, "小型レクテナの製作と偏波方式の検討", 電子情報通信学会通信ソサイティ大会講演論文集 1 (Sep. 2000), pp.6.
- 5) 山田浩, "高密度マイクロ視覚モジュール3次元実装技術", エレクトロニクス実装学会誌, Vol.3, No.2 (May. 2000), pp.136-142.



#### <著者>



笹谷 卓也  
(ささや たかなり)  
基礎研究所  
マイクロマシン技術の応用システム  
開発に従事



川北 晋一郎  
(かわきた しんいちろう)  
(株)日本自動車部品総合研究所  
エンジンの計測技術の研究開発に従事



鶴田 和弘  
(つるた かずひろ)  
基礎研究所  
マイクロマシン技術の応用システム  
開発に従事



川原 伸章  
(かわはら のぶあき)  
基礎研究所 工学博士  
マイクロマシン技術の応用システム  
開発に従事