

特集

デジタル式センサを可能とする時間分解能型オールデジタルAD変換器TAD*

An ALL-Digital Time A/D Converter TAD for Digital Sensors

渡辺 高元

Takamoto WATANABE

山内 重徳

Shigenori YAMAUCHI

寺澤 智仁

Tomohito TERASAWA

In recent years, sensor technology has become one of the most important and critical items for many sophisticated systems such as automotive subsystems, various mobile devices, audio/visual equipment, medical and biological devices, and in particular the ever-increasing robotic systems. Today, many sensors are still of the analog type. However, to improve their application in these domains, sensors must deliver higher performance and be more compact, less expensive, and consume less power for sensor networks. Accordingly, the most effective solution must be sensor digitization for any and all sensors. We have therefore developed an all-digital A/D converter TAD (Time A/D converter) as a versatile and scalable ADC. More and more such demands will grow with expanding applications under severe conditions. Again, sensor digitization will be much more important for achieving higher reliability and durability at very low cost. This paper describes the following: The TAD operation principle and its circuit structure, evaluation results, sensor application examples, and multi-functionality based on time-domain processing. Finally, scaling effects and possibilities with 65-nm CMOS TAD are discussed.

Key words : Sensor-interface, Analog-to-digital, ADC, TDC, TAD, CMOS, Digital, High-temperature, Low power.

1. まえがき

今日、自動車用センサは、安全、省エネ等各種車載システムのキーデバイスであり、その使用環境は、広い温度範囲、強い振動など非常に厳しい条件となる。そのため車載センサには、高精度と同時に、極めて高い信頼性及び耐環境性が求められる。一方そのコストは民生品と同レベル（それ以下）が要求され、今後も小型・低コスト化は必須条件である。システム高度化の基盤要素技術として上記要求の同時達成が強くとめられ、「センサ回路のデジタル化」が最適解と定め、その鍵となる時間分解能型オールデジタルAD変換器TAD (Time A/D converter) の研究開発を進めた¹⁾。

1990年代には各国研究機関でも同様に「センサ回路のデジタル化」研究が盛んとなり成果も多数報告されている^{2) 3) 4) 5)}。また近年の複合化・多様化に向け、AD変換器内蔵センサ用ASICが研究開発されている^{6) 7) 8)}。しかしながら、これら全ての取組みでは、微弱なセンス信号を数値化するAD変換器 (ADC) として、従来型ADC (逐次比較, $\Delta\Sigma$, 二重積分, フラッシュ型等) の適用に止まる。

研究当初、標準的なアプローチは採らず、基本的に従来型ADCの選択は不相当と判断した。従来型ADC

は、▲AD変換回路自体の主要部分がアナログ回路で構成される、▲その分解能不足を補うため前処理アナログアンプを必要とする、以上2点により (信号処理の観点において)、センサ回路の完全なる「脱アナログ化」 (上記要求の同時達成) ができないためである。なお、センサ用ADC研究の基本理念が、必然的にプロセス微細化対応ADCの可能性につながることも興味深い^{9) 10) 11)}。

本論では、研究背景に続き時間領域処理によるオールデジタルAD変換器TADの基本構成と評価及び応用例、次に多機能性と高温動作適用例、更に、オールデジタル構成による高性能化手法他を解説する。そして最後に、プロセス微細化対応とその効果・可能性を述べる。

2. センサ用AD変換器の必要性

2.1 デジタル式センサの基本構成

「理想的なデジタル式センサIC」のイメージをFig. 1に示す。その基本概念は、次の2点となる。

- 可能な限り早い段階 (アナログ処理なし) で、エレメント出力信号を直接数値化 (AD変換) する。
- 必要な各種信号処理 (信号数値化・フィルタ・調整・

* (社)電子情報通信学会、及び、(社)映像情報メディア学会の了解を得て、「第25回 回路とシステムワークショップ論文集」,「映情学技報」vol. 35, no.28より一部加筆して転載

補正等)は、全てデジタル回路で実行する。

即ち、AD変換も含め、ノイズ除去、バラツキ調整、温度特性補正、検知/制御情報の送受信等、センサに必要な全ての信号処理を、低コスト化が進むデジタル回路のみで実現する。デジタル化による通信線の共有化で配線量の削減も可能となる。

2.2 センサ用AD変換器の条件

従来型ADCとの対比として、センサ用AD変換器(センサ用AD)の必須条件を同Fig. 1に示す。理想の「デジタル式センサ (Fig. 1中央)」を実現するため、センサ用ADに要求される基本的条件をまとめると、まず次の3項目が挙げられる。

- (1) アナログ信号増幅処理なしで数値化するため、高い分解能(数 $\mu\text{V}/\text{LSB}$, 数 ns/LSB)を有する。
- (2) アナログ回路の弱点(微細化, 低電圧駆動, 高温使用, 耐ノイズ性等)を排除するため、AD変換回路自体がデジタル回路のみで構成される。
- (3) センサ全体の信号処理回路と1チップ化するため、小規模回路(～ 1mm^2 以下)である。

そして近年の省エネ・高機能要求に対応するため、

- (4) 低電源電圧対応可能であり、極めて低い消費電力(数 μW ～数 mW)で動作する。
- (5) 複数(e.g.,アレイ状)／複合エレメント対応のため、高速動作が可能となる、

の2項目が追加される。以上の5条件が、「センサ回路のデジタル化」を可能とするセンサ用ADの必須条件となる。従来型ADC(電圧分解能型回路)による全項目の同時達成は、原理的・構造的に困難と判断される。

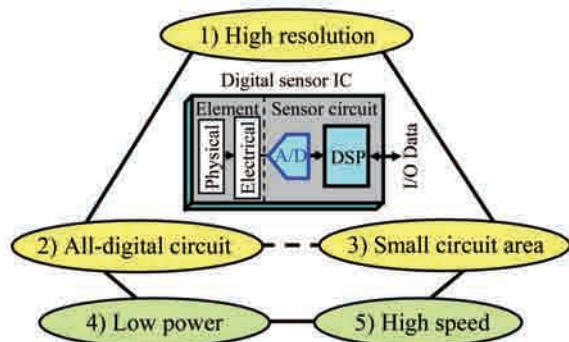


Fig. 1 Digital sensor IC and sensor ADC prerequisites.

3. 時間分解能型オールデジタルAD変換器TAD

非常に広い意味において、元来デジタル回路は、一般的な数値論理演算である「デジタル信号処理」のみでなく、「時間領域アナログ信号処理」に対しても大変有効に機能する。その実現方法について以下に述べる。

3.1 TAD動作原理

基本概念は、「所定時間内にパルス信号が通過する遅延ユニットの段数を数値化する」ものである¹⁾。基本回路は、デジタル回路の最小単位インバータからなるパルス信号遅延ユニット(DU)を直列接続したパルス遅延回路(インバータチェーン)の電源電圧(駆動電圧)とする。各遅延ユニット(DU)のパルス遅延時間 T_d は、入力電圧 V_{in} の値に依存して変化(増大/減少)する。サンプリングクロック CK_s による所定の一定時間(サンプリング周期 T_s)毎にパルス信号が通過するDU段数を直接数値化し出力データとすることで、入力電圧 V_{in} を反映したAD変換データ DT を得る。即ち、扱う電圧は2レベル(電源電圧 V_{in} と接地電圧)のみの「時間分解能型デジタル回路」である。なお、本AD変換特性近似式(サンプリング周波数 f_s)として次式がある¹⁰⁾

$$DT = (1/f_s) [(V_{in} - V_{th})^a / AV_{in}] \quad (1)$$

ここで、 A , a はプロセス技術で決まる一定値である。動作原理上、AD変換速度(f_s)と電圧分解能(ビット数)は反比例する。したがって、要求仕様に応じて f_s を変更/制御することで所望のAD変換特性(低速高分解能ADC～高速低分解能ADC)を設定(適応制御)できる。

また、TADは動作原理上、入力電圧 V_{in} に対する積分機能を有する。 V_{in} に含まれる高周波成分はサンプリング周期 T_s において平均化されるため、AD変換と同時にローパスフィルタLPFとしても機能する。本フィルタ効果は、センサ回路として極めて好適である。詳細は省くが、前置フィルタの不要化、デジタル回路からのクロックノイズ除去が可能となる¹⁾。更に、DUによるパルス遅延回路のスイッチングノイズも同様に平均化されるため、Fig. 2の回路ブロック図に示すインピーダンス変換回路も小型化できる(5.5節参照)。

3.2 回路構成

今日センサ用ADとして要求される分解能は10～16

ビット, 更にはそれ以上となり, 小規模回路で対応するため, リング状パルス遅延回路“リングディレイライン方式”(Ring Delay Line: RDL)を考案した¹⁾. Fig. 2に示すように, リングディレイライン (RDL)は, インバータ2段によるDUを16段連結して構成する. そして, AD変換する入力電圧 V_{in} をRDLの電源電圧として用いる.

AD変換回路全体は, RDL, 遅延パルスラッチ回路, エンコーダ, RDL周回数カウンタ, デジタル減算回路から成る. AD変換ビット数は, カウンタ出力(18-bit)を上位ビット, エンコーダ出力 (4-bit) を下位ビットとする計22-bit構成 (DTp)となる. 最終的なAD変換データ DT (サンプリング周期 T_s 毎にパルスが通過したDU段数)は, 新旧パルス位置データ DTp の差分としてサンプリングクロック CKs に同期して出力される.

実際に用いるDU数は僅か16段 (4-bit相当)であるが, 18-bitカウンタ適用により実質22-bit分のDUを有することになる. RDL回路面積はIC基板上の極めて小さな領域 (Fig. 3) となり, 構造的にDU相互の特性はよく一致する. 更に, その16個のDU(シングルRDL)を繰返し使用するため, 分解能バラツキの少ない理想的なパルス遅延特性が得られる. 以上の特徴により, 本方式は非常に小規模なデジタル回路でありながら, 極めて高い分解能(多ビット)のADCを実現できる.

以上, 本方式基本動作は, DU単位遅延時間 T_d により所定時間 T_s を数値化するもの(時間領域処理)であり, 直接的動作は「時間(アナログ情報)の数値化」である. そこで, 本AD変換方式を「時間AD変換器 TAD: Time A/D converter」と称する¹⁾.

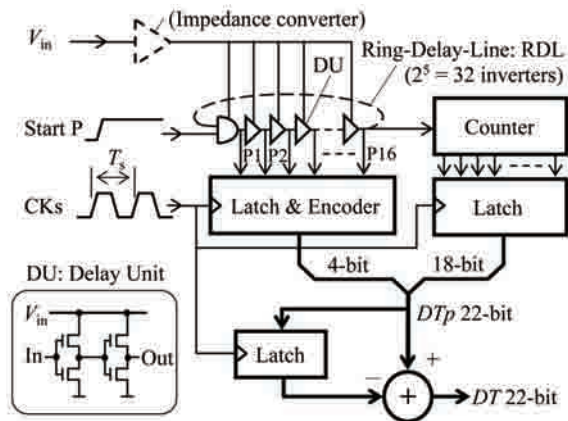


Fig. 2 Block diagram of A/D Converter (TAD) and Delay Unit (DU).

Table 1 Nonlinearity Error with Correction (%FS).

	V_{in} span	V_{in} center voltage (V)		
		1.8	2.0	2.5
Non-correction	200 mV	± 0.130	± 0.182	± 0.207
	1000 mV	-	-	± 1.022
Multi-line Approximation	200 mV	± 0.037	± 0.047	± 0.052
	1000 mV	-	-	± 0.264
Parabolic Approximation	200 mV	± 0.011	± 0.005	± 0.001
	1000 mV	-	-	± 0.041

3.3 評価結果例

0.65 μ m-CMOSプロセスにより製作されたセンサ用AD(TAD)チップ写真を Fig. 3に示す. 白枠部が16段DUによるRDLである. 22-bitTAD占有面積は0.34 mm^2 (0.85 \times 0.4 mm^2)である.

サンプリング周波数 $f_s = 100$ kHz時のAD変換特性を Fig. 4に示す. 入力電圧 V_{in} 範囲1.5~2.5 Vに対して, 3,100~12,500のデジタル値が対応, 電圧分解能 V_d は約106 μ V/LSB(13-bit相当)となる(参: 1.06 μ V/LSB, $f_s = 1$ kHz¹²⁾). 本条件での消費電力は約1 mWである. 次に, 積分非直線性誤差の測定結果を Table 1上段に示す. V_{in} 範囲200 mV分に対しては $\pm 0.13\%$ FSと比較的良好である. 一般にエレメントからのセンシング信号電圧幅は10~100 mV程度であるため, 10ビット程度のセンサ適用に対しては問題無いレベルである. 一方, 広い入力電圧範囲を対象とする場合は, 基準電圧 (V_{r1-3})を用いたデジタル補正処理が有効である¹²⁾. 一例として入力電圧範囲1000 mV分におけるデジタル補正結果(折れ線補正, 放物線補正)を同Table 1中・下段に示す. 更に近年, 遅延回路方式時間分解能型ADCの非直線性補正方法として, 一部アナログアシスト採

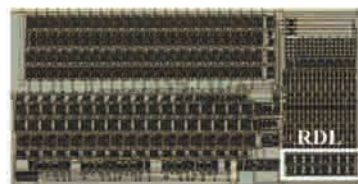


Fig. 3 Photo of 22-bit 0.65 μ m CMOS TAD-IC Core

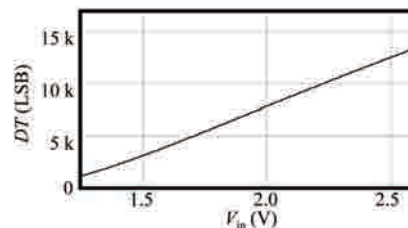


Fig. 4 Characteristics of A/D Conversion at $f_s = 100$ kHz.

用の電流制御型、並列差動型、フィードバック制御型等^{13) 14) 15)}が提案されている。一方、TADの微分非直線性誤差に関しては、構造的に良好な特性が得られる(参：文献1)のFig. 4, $<\pm 0.5\text{LSB}$).

ところで、電圧分解能の温度ドリフトに関しては、 $-35\sim 140^\circ\text{C}$ の範囲で室温に対して約 $-20\sim +40\%$ の変動がある。この分解能変動に対しても、基準値(基準電圧をTADでAD変換したデータ)との比を取るデジタル補正¹⁾により、実時間で変動分を除去できる。高温時には分解能が多少粗くなるが、TADはアナログ回路を用いていないため、 140°C の高温でもコード欠け、単調性劣化等の誤作動は起こらず安定動作する^{16) 17)}。以上、前述全5条件を満たす新規AD方式を実現した。

4. センサ適用例

TAD適用デジタル式センサの実用化例として、圧力センサIC ($3.5 \times 3.2 \text{ mm}^2$, $0.65 \mu\text{m}$ -CMOS) のチップ写真をFig. 5に示す。本センサICは圧力センサ用であるが、それに限らずデジタル式センサ一般形態の一つである。

このセンサICでは、MEMSエレメントからの被検出信号 V_s を外部入力とする。一方、基準電圧 V_r は、IC内蔵の基準電圧発生回路から得る。 V_s と V_r をTADでそれぞれ瞬時にAD変換(相関二重サンプリング：CDS)した後、デジタル部で比データ(V_s/V_r)を得る。このデジタルCDS処理により、温度によるTAD分解能変動、電源電圧ドリフト、インピーダンス変換器等のCMOSトランジスタ低周波ノイズ、サンプリング周期変動、その他低周波ノイズの影響は一括して除去する¹⁸⁾。更に、比データのデジタル移動平均により、エイリアシングノイズ及びTADフィルタで残った高周波ノイズ成分を除去する。以上により、微弱センサ信号を高精度な再現性(ノイズ幅 $10 \mu\text{V}_{\text{p-p}}$ 以下)で検出できる¹⁾。TADサンプリングクロックは、IC内蔵CR発振クロックを基準として分周した数kHzを用い

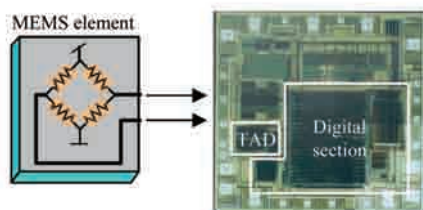


Fig. 5 Example of digital-type pressure sensor IC in $0.65 \mu\text{m}$ CMOS

Table 2 Performance Summary of TAD-type TDC

V_{in} level	1.0 V	1.8 V
Meas. range	20 ns–12.3 ms	20 ns–4200 μs
Time resolution	368 ps	126 ps
Output bits	25	25
INL	$< 0.2\% \text{FS}$	$< 0.2\% \text{FS}$
DNL	$< 0.5 \text{LSB}$	$< 0.5 \text{LSB}$
P_c	1.3 mW	1.7 mW
Active area	0.044 mm^2	
Process	0.18- μm Digital CMOS	

る。デジタル部動作周波数は数MHzである。本ICはアナデジ混載ICであるが、TADフィルタ効果でクロックノイズを除去でき¹⁾、高い検出精度を実現している。基準値との比較処理は実時間での自己補正機能となるため、経年変化に対しても高安定性を有し、信頼性の高いセンサとして実用化されている。

以上、TAD適用デジタル式センサは、低コスト標準デジタルCMOSを用いてバイポーラICと同等以上の高精度を達成している。実際TAD適用による高SNセンサ回路は、MEMSセンサエレメントの負担軽減を可能とする。本事例は、外付け部品及びプロセスオプション不要な低コストCMOS技術により、高精度デジタル式センサが可能であることを示す。各種MEMSエレメントとの組合せによるスマートセンサ、各種時間分解能型アナデジ混載ICの実現に向け、低コストCMOS技術の新たな可能性を示すものである。

5. 時間分解能型回路TADの多機能性

5.1 TDC (時間/数値変換回路)

TDC (Time-to-digital converter) として用いる際は、RDLの駆動電圧 V_{in} (Fig. 2) を一定値とする。回路構成はADCの場合と同じであり、ハードウェア変換なしで微小時間計測が可能となる(TAD型TDC)。温度変化・製造バラツキ等による時間分解能変動は、電圧信号検出と同様に基準値(基準時間)との比較処理で対応する。 $0.18 \mu\text{m}$ -CMOS適用TADによるTDC評価結果をTable 2に示す⁹⁾。

5.2 DCO (デジタル制御発振回路)

TAD型TDCの逆変換構成により、TAD型DCO (Digitally-controlled oscillator) (Fig. 6)を実現した^{19) 20)}。TADと同様にRDLと周回数カウンタから構成され、遅延ユニット(DU)1段を時間分解能としてデジタル制御データCDに対応する周期(周波数)の出力クロックCKOを発生する。

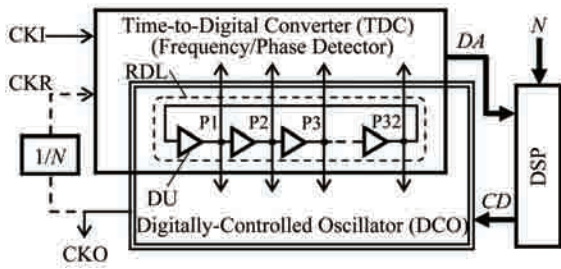


Fig. 6 Block diagram of All-Digital PLL (ADPLL) with RDL.

5.3 ADPLL (オールデジタルPLL)

上述のTDCをクロック周波数/位相検出回路, DCOを周波数可変発振回路として, 「単一のRDL」をそれぞれで共有するオールデジタルPLLのブロック図をFig. 6に示す^{19) 20)}. 本ADPLLは, 「周波数/位相検出器」と「周波数可変発振器」における時間分解能の誤差が構造的に生じない. そのため, アナログ式では困難な大きな周波数通倍数(〜1000倍)でのクロック発生が可能となり, 外付け発振器不要化クロック発生回路, 放射ノイズ低減クロック発生回路として, 各種車載用LSIに適用実用化されている²¹⁾. また, 基準クロック7周期による高速位相同期¹⁹⁾, 実数対応周波数[通倍/分周]クロック発生回路²⁰⁾を実現した.

5.4 TADデジタル検波回路

TAD積分機能により, デジタル同期検波/直交検波が可能となる²²⁾. この時間分解能型検波回路は, 搬送波を用いたセンサ²³⁾, 通信システム²⁴⁾等にデジタル回路のみで簡便に応用でき, 低電力・高分解能化が強く望まれる今後の多機能センサ, センサネットワークへの適用が期待される.

5.5 電波時計1チップデジタル直交検波受信IC

デジタル直交検波回路の応用例として, 電波時計(Radio-controlled clock: RCC)用1チップ受信ICの回路ブロック図をFig. 7, 0.18μm-CMOS適用のチップ写真をFig. 8に示す²⁴⁾. アナログ部はLNAとレギュレータREG, TAD型ADCを含む後続部はオールデジタル回路となる. 高価な水晶フィルタ他のアナログ部品なしで, 0.7μVrms (LNA入力端子部)の受信感度を達成した. RDL駆動用インピーダンス変換器は, 45μm×50μmと小面積である. 更には, 前述のADPLL²⁰⁾により, 単一の基準周波数(32.768kHz)から4種類の検波用クロック(160, 240, 310, 274-kHz)を生成し,

複数の長波標準電波を受信できる. 本テストICは, RF回路を含む微小信号検出/検波技術の進化に向け, 「微細化プロセス」と「時間分解能型機能回路」を適用・融合した小型低電力アナデジ混載ICの実効性と可能性を示すものである.

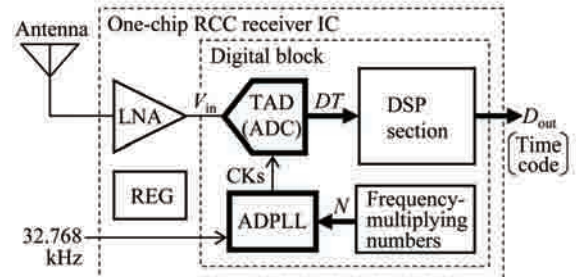


Fig. 7 Schematics of Radio-Controlled Clock (RCC) Receiver IC



Fig. 8 Photo of 0.18 μm RCC Receiver IC (active area: 1.8 mm²)

6. TAD型TDCのセンサ適用例

6.1 回転速度センサ (高温使用)

高温動作TADの応用例として, デジタル式回転速度センサを実現した. その動作は, まずギア回転による磁気抵抗素子MRE (Fig. 9)の相反する抵抗変化を一对発振器の周波数差とし, 出力クロック間の位相差を各々の分周器で時間増幅後, 一对のパルス間時間差としてTAD型TDCにより数値データDTとする. 後続のデジタル回路では, ギア回転に連動して増減するDT値の極大値/極小値(相対値)を算出しDT値差分符号ビット(パルス信号)を出力する²⁵⁾. 故に分解能温度変動の影響を除去できる. Fig. 9にセンサIC(3.5×3.0 mm², 1.5μm-CMOS)を示す. オールデジタ

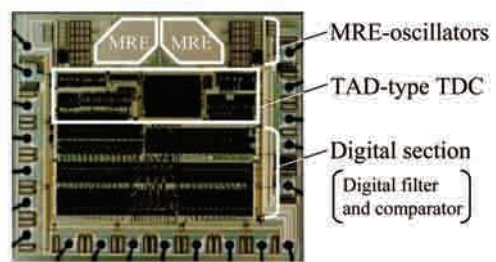


Fig. 9 Photo of Digital Rotation Speed Sensor IC

ル構成により、広範囲温度 $-40\sim 150\text{ }^{\circ}\text{C}$ で最低検出速度 0.02 Hz （エアギャップ 2.2 mm ）を達成した。

6.2 レーザレーダ距離センサ

光往復時間による距離センサ（Fig. 10）では、高精度時間測定が必須となるため、Fig. 11に示すように、基準時間の時間／数値変換データ TC と同測定結果データ T の比較演算（ T/TC ）により、TAD型TDC時間分解能の温度変動を補正する¹⁶⁾。広範囲温度（ $-35, 25, 140\text{ }^{\circ}\text{C}$, [VDD : 6, 5, 4 V]）に対する時間測定補正結果をFig. 12に示す¹⁷⁾。本方式は高精度時間測定を小型低コストICで実現でき、車間距離自動制御(ACC)システム²⁶⁾を含む各種レーザレーダのキーデバイスとして実用化されている²⁷⁾。

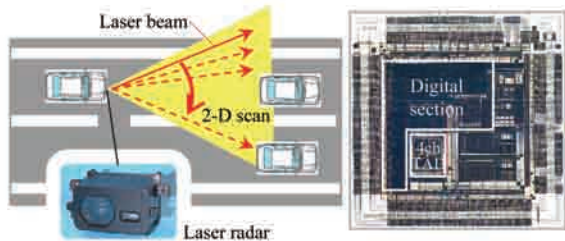


Fig. 10 Photo and Application Schematics of $0.35\text{ }\mu\text{m}$ CMOS Time-Measurement IC for Laser Radar System

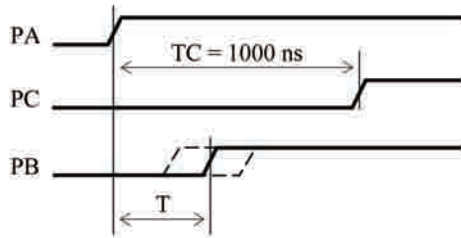


Fig. 11 Time-accuracy Correction Method.

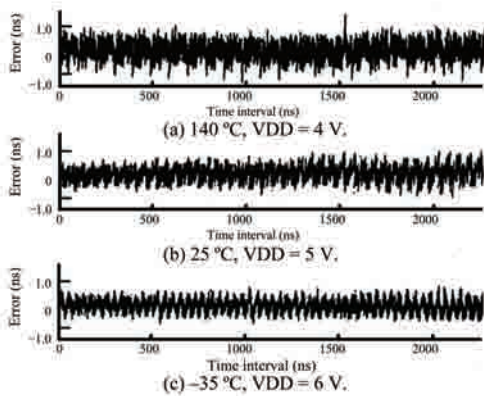


Fig. 12 INL Correction Results of TAD-type TDC ($1.5\text{ }\mu\text{m}$ CMOS).

7. TADの高性能化手法

近年のMEMS技術進歩により各種超小型センサエレメントが実用化され²⁸⁾、それらの応用範囲を拡大するため、小型低コストセンサ回路が必須となる。そこで低コストプロセス適用による高性能TADとして、クロックエッジシフト（CKES）方式を考案した¹⁸⁾。「単一RDL」を4チャンネルTADコアで共有する本方式構成図をFig. 13、適用有／無の比較実験結果をFig. 14に示す。

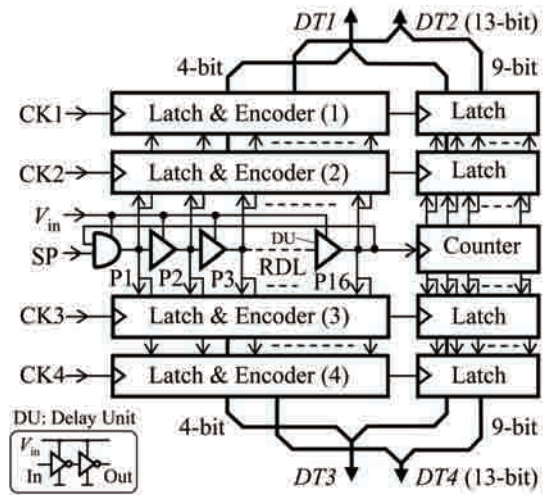


Fig. 13 Front-end of 4ch-TAD-composite Core in CKES Method.

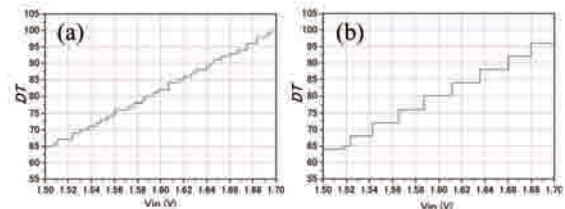


Fig. 14 Results of $0.65\text{ }\mu\text{m}$ CMOS 20-MS/s (a) CKES (b) Non-CKES

8. フィルタ効果とTAD-OFDM検波

時間分解能型回路TADは、入力電圧 V_{in} に対する積分効果を有し、前述の直交検波²²⁾に加え、フィルタ機能、同期検波、更にTAD-OFDM検波がデジタル回路のみで実現できる²⁹⁾。マグネットピックアップによる単振動磁石位置検出センサとして、Fig. 15(a)にピックアップ電圧信号増幅器の出力電圧（TAD入力信号）、Fig. 15(b)にサンプリング周波数 f_s 100kHzで動作するTAD出力データを示す²⁹⁾。TADフィルタ効果¹⁾（ $f_{cut} = 0.443 \cdot f_s = 44.3\text{ kHz}$ ）により、AD変換と同時に高周波ノイズが除去される。なお、[r]領域は電磁石コイ

ル駆動電流によるリングングノイズ(~10kHz)であり、後続のデジタル処理で除去する。

次に2搬送波に対するTAD-OFDM動作原理をFig. 16に示す。AD変換データ[k]~[n]の加減算で各搬送波の振幅情報が得られる。0.65 μm -TADによる4搬送波実験結果をFig. 17に示す。本デジタル方式により、単一MEMSセンシングエレメントによる各種複合センサ(例：多軸加速度，多軸角速度等)の小型低コスト化及び耐環境性向上が可能となる³⁰⁾。

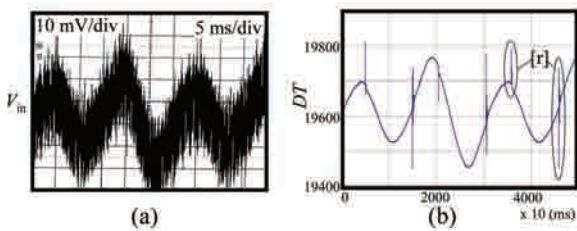


Fig. 15 (a) TAD input signal V_{in} with Noise. (b) TAD output data DT .

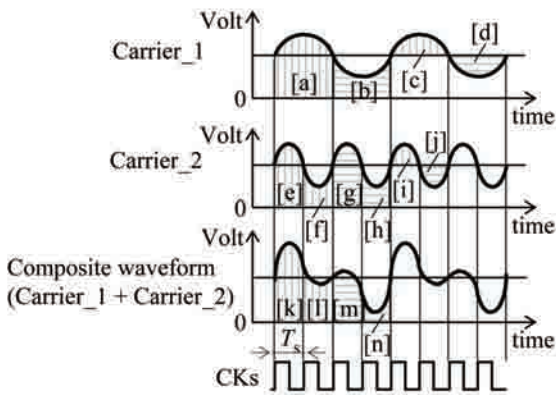


Fig. 16 Principle of Synchronous Detection for TAD-OFDM.

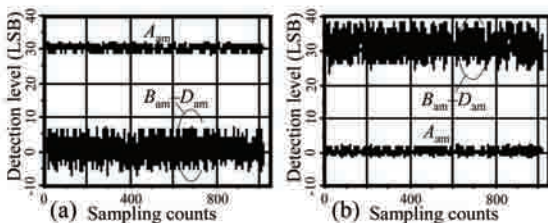


Fig. 17 TAD-OFDM Measurement Results at $f_s = 25.6$ MHz. (a) $V_A = 100$ mVp-p (others = 0) (b) $V_A = 0$ (others = 100 mVp-p).

9. CMOS微細化効果

時間分解能型回路TADはオールデジタル構成であるため、基本的に回路レイアウトの単純シュリンクが可能となりCMOS微細化効果が得られる。そこで、65nm-CMOS適用TADテストICのレイアウト図をFig. 18に示す。ADCアーキテクチャは不変あり、0.65 μm -TAD (Fig. 3) とほぼ相似形となる。サンプリング周波数100kHzでのAD変換特性 (V_d : ~1.5 $\mu\text{V}/\text{LSB}$) をFig. 19に示す¹⁰⁾。

CMOSデザインルール0.8 μm から65nmで試作したTADテストICによるAD変換分解能測定結果 ($f_s = 1$ MHz) をFig. 20に示す。標準的なデジタル回路と同様に、微細化に伴う性能向上効果(高速化，高分解能化，低電力化)が確認できた。同時に、回路専有面積は微細化率の2乗で小型化される¹⁰⁾。したがって、TADコア回路を多数個並列化¹⁸⁾することで更なる高速・高分解能化が可能となる。今後、小型低電力センサ回路が必須となるユビキタスセンサへの応用が期待される。

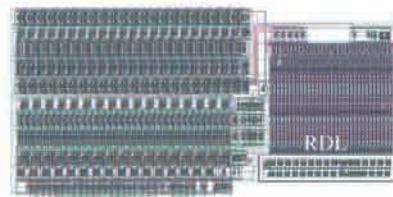


Fig. 18 Layout Plot of 0.0046 mm^2 22-bit 65 nm CMOS TAD Core

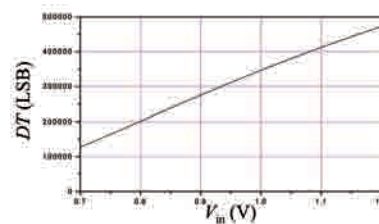


Fig. 19 Characteristics of 65nm-TAD ADC at $f_s = 100$ kHz.

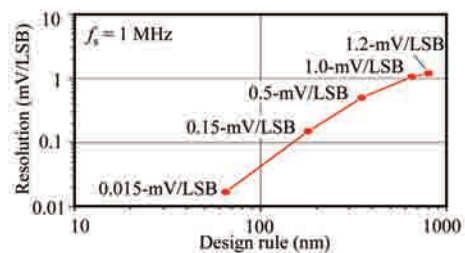


Fig. 20 Voltage Resolutions vs. CMOS Design Rules.

加えて、TADはセンサ以外への応用として、最先端CMOS微細化プロセス対応ADCとしての可能性を有する。最先端ICプロセス(28, 20, 1X-nm...)では電源電圧が低化し、従来の電圧分解能型ADCは本質的に通常動作が厳しくなること、小型(低コスト)・低電力化に対応困難なこと等によりシステムLSI(SoC)内蔵に適合し難い。一方、時間分解能型回路TADは、低電源電圧に対応可能で性能向上と小型化も同時に進む。非直線性等の課題には、更なる分解能アップとデジタル補正他による対策が期待できる。一例としてTAD型ADC(200MS/s)によりデジタル化率を高めた40nm-CMOS適用RF受信IC(zero-IF receiver)¹¹⁾の報告がある。今日、最先端CMOSシステムLSI(SoC)は車載を含め最重要部品となっており、SoC内蔵小型低電力高性能ADCの必要性は益々高まるといえる。

アナログとデジタルが融合する各種電子システムの実現において、プロセス微細化に伴うTAD分解能/速度の向上は、必要となるADC入力電圧 V_{in} スパンを小さくできる。故に、常に大振幅が要求される従来型ADCに比べて前処理アナログ回路の負担軽減が可能となる。その結果、アナログ回路設計難度の大幅な緩和、更には各種アンプの不要化も含めた微細化対応アナログ回路開発の新たな方向性と可能性を提供できる。

10. むすび

センサを用いた電子機器の進歩において、総合的なデジタル化率アップは必要不可欠な要素である。センサ回路の高SN化に加え、高負荷条件(高温使用等)に対応できる耐環境性と信頼性の確保にもデジタル化が有効である³¹⁾。そこで、時間分解能型デジタル回路「センサ用AD変換器TAD」を開発実用化した。微細化可能なオールデジタル構成TADの多機能性とセンサ適用例、更にはその高性能化手法他を紹介し、厳しい車載環境に適合可能な高性能小型低コストセンサ実現への取組・道筋を示した。

今後、微細化に限界が見えるアナログ回路の負担軽減・回避は、各種システム機器の進歩とその広い普及に向け一層重要となる。低電圧動作・低電力で高分解能な「時間領域オールデジタルAD変換技術」は³²⁾、センサ応用に限らず、信頼性と耐環境性、そして、高性能と経済性が常に求められるエレクトロニクス技術の発展において、極めて重要な役割を果たしていくことが期待される。

<参考文献>

- 1) T. Watanabe et al., "An all-digital analog-to-digital converter with 12- μ V/LSB using moving-average filtering," *IEEE JSSC*, vol. 38, no. 1, pp. 120-125, Jan. 2003.
- 2) B. J. Hosticka, "CMOS sensor systems," *Sensors and Actuators A* 66 (1998) pp. 335-341.
- 3) K. D. Wise, "Microelectromechanical systems: Interfacing electronics to a non-electronics world," *IEEE IEDM*, Nov. 1996, 1.2.1-1.2.8.
- 4) P. Malcovati et al., "Smart sensor interface with A/D conversion and programmable calibration," *IEEE JSSC*, vol. 29, no. 8, pp. 963-966, Aug. 1994.
- 5) Y. de Coulon et al., "Design and test of precision servoaccelerometer with digital output," *Tech. Digest, 7th Int. Conf. Solid-State Sensors and Actuators (Transducers '93)*, 1993, pp. 832-835.
- 6) J. Marek, "MEMS for automotive and consumer electronics," *IEEE ISSCC Dig. Tech. Papers*, pp. 4-12, Feb. 2010.
- 7) N. V. Helleputte et al., "A 160 μ A biopotential acquisition ASIC with fully integrated IA and motion-artifact suppression," *IEEE ISSCC Dig. Tech. Papers*, pp. 118-119, Feb. 2012.
- 8) M. Roczniak et al., "ASIC for resonant wireless pressure-sensing system for harsh environments achieving $\pm 2\%$ error between -40 and 150°C using Q-based temperature compensation," *IEEE ISSCC Dig. Tech. Papers*, pp. 202-203, Feb. 2012.
- 9) T. Watanabe et al., "An all-digital ADC/TDC for sensor interface with TAD architecture in 0.18- μ m digital CMOS," in *Proc. 16th IEEE ICECS*, 2009, pp. 219-222.
- 10) T. Watanabe and S. Yamauchi, "A 0.0027-mm² 9.5-bit 50-MS/s all-digital A/D converter TAD in 65-nm digital CMOS," in *Proc. 16th IEEE ICECS*, 2009, pp. 271-274.
- 11) F. Opteynde, "A maximally-digital radio receiver front-end," *IEEE ISSCC Dig. Tech. Papers*, pp. 450-451, Feb. 2010.
- 12) T. Watanabe et al., "An all-digital A/D converter for increased resolution with a 2²²-delay-unit TAD architecture using moving-average filtering,"

- in *Proc. 8th IWADC*, 2003, pp. 81–84.
- 13) A. Tritschler, “A continuous time analog-to-digital converter with 90 μ W and 1.8 μ V/LSB based on differential ring oscillator structures,” *IEEE ISCAS 2007*, pp.1229–1232.
 - 14) Y. M. Tousei et al., “A miniature 2 mW 4 bit 1.2 GS/s delay-line-based ADC in 65 nm CMOS,” *IEEE JSSC*, vol. 46, no. 10, pp. 2312–2325, Oct. 2011.
 - 15) H. C. Hor and L. Siek, “K-locked-loop and its application in time mode ADC,” in *Proc. 12th ISIC*, 2009, pp. 101-104.
 - 16) T. Watanabe et al., “A CMOS time-to-digital converter LSI with half-nanosecond resolution using a ring gate delay line,” *IEICE Trans. Electron.*, vol. E76-C, no. 12, pp. 1774-1779, Dec. 1993.
 - 17) 渡辺 他, “デジタル処理による高精度化と複数パルス測定を可能とした時間A-D変換LSI” 信学, エレクトロニクス論文誌II, vol. J78-C-II, no. 6, pp. 366-374, (1995).
 - 18) T. Watanabe et al., “An all-digital A/D converter TAD with 4-shift-clock construction for sensor interface in 0.65- μ m CMOS,” in *Proc. 36th ESS-CIRC*, 2010, pp. 178-181.
 - 19) T. Watanabe et al., “An all-digital PLL for frequency multiplication by 4 to 1022 with 7-cycle lock time,” *IEEE JSSC*, vol. 38, no. 2, pp. 198-204, Feb. 2003.
 - 20) T. Watanabe et al., “An all-digital PLL using frequency multiplying/dividing number with decimals in 0.18- μ m digital CMOS,” in *Proc. 2008 IEEE IFCS*, pp. 544-549.
 - 21) K. Kawamoto et al., “A single chip automotive control LSI using SOI bipolar complimentary MOS double-diffused MOS,” *Jpn. J. Appl. Phys.* vol. 40, part 1, no. 4B, pp. 450-455, Apr. 2001.
 - 22) S. Masuda et al., “All-digital quadrature detection with TAD for radio-controlled clocks/watches,” *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 56, no. 2, pp. 285-293, Feb. 2009.
 - 23) S. Masuda et al., “TAD digital quadrature detection and its application to magnetic sensing,” *Journal of the Magnetic Society of Japan*, vol. 30, no. 2, pp. 212-217, 2006.
 - 24) T. Watanabe et al., “An RCC receiver IC with TAD-DQD and ADPLL using frequency multiplying number with decimals,” in *Proc. 2009 IEEE IFCS*, pp. 478–481.
 - 25) 大塚 他, “磁気抵抗素子とデジタル回路による車輪速センサの開発” 自動車技術会研究論文, vol. 26, no. 3, pp. 132-136, (1995).
 - 26) K. Osugi et al., “Development of the scanning laser radar for ACC system,” *JSAE Review 20* (1999) pp. 549-554.
 - 27) 渡辺 他, “レーザレーダ用時間／数値変換LSIの開発” 自動車技術会研究論文, vol. 29, no. 3, pp. 99-103, (1998).
 - 28) T. Murakoshi et al., “Electrostatically levitated ring-shaped rotational-gyro/accelerometer,” *Jpn. J. Appl. Phys.* vol. 42, part 1, no. 4B, pp. 2468–2472, Apr. 2003.
 - 29) T. Watanabe et al., “All-digital TAD-OFDM detection for sensor interface using TAD-digital synchronous detection,” in *Proc. 17th IEEE ICECS*, 2010, pp. 788-791.
 - 30) T. Terasawa et al., “Electrostatically levitated ring-shaped rotational-gyro/accelerometer using all-digital OFDM detection with TAD,” in *Proc. IEEE SENSORS 2012*, pp. 530-533.
 - 31) T. Watanabe et al., “All-digital A/D converter TAD for sensor interface over wide temperature ranges,” scheduled for publication in *Proc. of 19th IEEE ICECS 2012*.
 - 32) T. Watanabe et al., “All-digital A/D converter TAD for high-resolution and low-power sensor /RF interface,” scheduled for publication in *Proc. of 19th IEEE ICECS 2012*.

<著 者>



渡辺 高元
(わたなべ たかもと)
研究開発3部
工学博士
センサ回路, AD変換回路,
ADPLL, RF回路, デジタルIC
機能回路の研究開発に従事



山内 重徳
(やまうち しげのり)
研究開発3部
センサ回路, AD変換回路,
ADPLL, RF回路, デジタルIC
機能回路の研究開発に従事



寺澤 智仁
(てらさわ ともひと)
研究開発3部
センサ回路, AD変換回路,
ADPLL, RF回路, デジタルIC
機能回路の研究開発に従事